

INTERNATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTORS

2007 年版

モデリング&シミュレーション

THE ITRS IS DEVISED AND INTENDED FOR TECHNOLOGY ASSESSMENT ONLY AND IS WITHOUT REGARD TO ANY
COMMERCIAL CONSIDERATIONS PERTAINING TO INDIVIDUAL PRODUCTS OR EQUIPMENT.

訳者まえがき

この文書は International Technology Roadmap for Semiconductors 2007 Edition(国際半導体技術ロードマップ 2007年版)の全訳である。

国際半導体技術ロードマップ(以下 ITRS と表記)は、米国、日本、欧州、韓国、台湾の世界5極の専門家によって編集・作成されている。日本では、半導体技術ロードマップ専門委員会(STRJ)が電子情報技術産業協会(JEITA)内に組織され、日本国内で半導体技術ロードマップについての調査活動を行うとともに、ITRS の編集・作成に貢献している。STRJ 内には 14 のワーキンググループ(WG: Working Group)、2 つのタスクフォース(設計タスクフォースと故障解析タスクフォース)、経済性検討小委員会が組織され、半導体集積回路メーカー、半導体製造装置メーカー、材料メーカー、大学、独立行政法人、コンソーシアなどから専門家が集まり、それぞれの専門分野の調査活動を行っている。

ITRS は改版を重ねるごとにページ数が増え、2007 年版は英文で約 1000 ページの文書となった。このような大部の文書を原文で読み通すことは専門家でも多大な労力を要するし、専門家であっても技術分野が少し異なると ITRS を理解することは必ずしも容易でない。STRJ の専門委員がその専門分野に応じて ITRS を訳出することで、ITRS をより親しみやすいものにすることができるのではないかと考えている。

なお、ITRS 2005 年版(英語の原書)までは、ウェブ公開とともに、印刷された本としても出版していたが、2007 年版以降、は印刷コストが大きくなってきたこと、ウェブ上で無料公開されている文書の出版版を本の形で有償頒布しても需要に限られることなどのため、印刷物の形での出版を断念し、ウェブ公開のみとなった。ITRS の読者の皆様にはご不便をおかけするが、ご理解願いたい。

訳文の作成は、STRJ 委員が分担してこれにあたり、JEITA の STRJ 担当事務局が全体の取りまとめを行った。訳語については、できる限り統一するように努めたが、なお、統一が取れていないところもある。また、訳者によって、文体が異なるところもある。ITRS の原文自体も多くの専門家による分担執筆であり、そもそも原文の文体も一定していないことも、ご理解いただきたい。誤訳、誤字脱字などが無いよう、細心の注意をしているが、短期間のうちに訳文を作成しているため、なお間違いが含まれていると思う。また、翻訳の過程で原文のニュアンスが変化してしまうこともある。訳文についてお気づきの点や、ITRS についてのご批判、ご意見などを事務局まで連絡いただければありがたい。

今回の訳出にあたっては、ITRS の本文の部分のみとし、ITRS 内の図や表の内部の英文は訳さないでそのまま掲載することとした。Executive Summary の冒頭の謝辞(Acknowledgments)に、ITRS の編集にかかわった方々の氏名が書かれているが、ここも訳出せず、原文のままの表記とした。原文中の略語については、できるかぎり、初出の際に、「ITRS(International Technology Roadmap for Semiconductors)」のように()内に原義を示すようにした。英文の略号をそのまま使わないで技術用語を訳出する際、原語を引用したほうが適切と考えられる場合には、「国際半導体技術ロードマップ(ITRS: International Technology Roadmap for Semiconductors、以下 ITRS と表記)」「国際半導体技術ロードマップ(International Technology Roadmap for Semiconductors)」のように和訳の後に()内に原語やそれに対応する略語を表示した。本書の巻末に用語集(Glossary)も参照されたい。原文の括弧()があつてそれを訳するために括弧を使った場合もあるが、前後の文脈の関係で判別できると思う。また訳注は「【訳者注:この部分は訳者の注釈であることを示す】」のように【】内に表記した。また[]内の部分は、訳者が原文にない言葉をおぎなった部分であることを示している。訳文は厳密な逐語訳ではなく、日本語として読んで意味が通りやすいように意識している。ITRS のウェブ版ではハイパーリンクが埋め込まれているが、今回の日本語版ではハイパーリンクは原則として削除した。読者の皆様には不便をおかけするが、ご理解いただければ幸いである。

今回の日本語訳全体の編集は全体のページ数が膨大であるため、大変な作業となってしまいました。編集作業を担当いただいた、JEITA 内 STRJ 事務局の古川昇さん、恩田豊さん、近藤美智さん、明石理香さんに大変お世話になりました。厚くお礼申し上げます。

より多くの方に ITRS をご活用いただきたいとの思いから、今回の翻訳作業を進めました。今後とも ITRS と STRJ へのご理解とご支援をよろしくお願い申し上げます。

2008年5月

訳者一同を代表して

電子情報技術産業協会 (JEITA) 半導体部会 半導体技術ロードマップ専門委員会 (STRJ) 委員長
石内 秀美 (株式会社 東芝)

版權について

ORIGINAL (ENGLISH VERSION) COPYRIGHT © 2007 SEMICONDUCTOR INDUSTRY ASSOCIATION

All rights reserved

ITRS • 2706 Montopolis Drive • Austin, Texas 78741 • 512.356.7687 • <http://public.itrs.net>
Japanese translation by the JEITA, Japan Electronics and Information Technology Industries
Association under the license of the Semiconductor Industry Association

ー引用する場合の注意ー

原文(英語版)から引用する場合： 2007 ITRS page XX, Figure(Table) YY
この和訳から引用する場合： 2007 ITRS JEITA 和訳 XX 頁,図(表)YY
と明記してください。

問合せ先：

社団法人 電子情報技術産業協会
半導体技術ロードマップ専門委員会 事務局
Tel: 03-5275-7258 mailto: roadmap@jeita.or.jp

TABLE OF CONTENTS

概要.....	1
困難な技術課題.....	2
≥22nm迄の世代における困難な技術課題.....	5
<22nm以降の世代における困難な技術課題.....	7
技術要求.....	8
装置/形状モデリング.....	8
リソグラフィモデリング.....	10
フロントエンド・プロセスモデリング.....	12
デバイスモデリング.....	14
インターコネクト(INTERCONNECTS)と集積受動素子(INTEGRATED PASSIVES)モデリング.....	16
回路素子モデリング.....	18
パッケージ・シミュレーション.....	20
材料モデリング.....	22
設計、製造、歩留まりのためのTCAD.....	23
数値計算技術.....	24
解決策候補.....	27
現有能力の表と精度／計算速度要求.....	29
補足.....	37
他のITWGに関する項目.....	37
設計／システムドライバーとの関連.....	37
テストとテスト装置との関連.....	38
プロセスインテグレーション、デバイス、&構造(PIDS)との関連.....	38
モデリング・シミュレーションとERDとの関連.....	38
モデリング・シミュレーションとERMとの関連.....	39
モデリング・シミュレーションと無線通信のための無線周波とアナログミックスドシグナル技術との関連.....	39
フロントエンド・プロセスとの関連.....	39
リソグラフィとの関連.....	40
インターコネクト、設計、モデリング・シミュレーションとの関連.....	41
ファクトリーインテグレーションとの関連.....	42
アセンブリとパッケージとの関連.....	43
環境・安全・健康との関連.....	44
モデリング・シミュレーションと歩留まり向上との関連.....	44
モデリング・シミュレーションと計測との関連.....	45

LIST OF FIGURES

Figure MS1	Modeling and Simulation Scopes and Scales.....	1
------------	--	---

LIST OF TABLES

Table MS1	Modeling and Simulation Difficult Challenges	2
Table MS2a	Modeling and Simulation Technology Requirements: Capabilities—Near-term Years	30
Table MS2b	Modeling and Simulation Technology Requirements: Capabilities—Long-term Years	34
Table MS3	Modeling and Simulation Technology Requirements: Accuracy and Speed—Near-term Years	35

モデリング & シミュレーション

概要

テクノロジーモデリング・シミュレーションは、広義の TCAD (Technology CAD) と呼ばれる半導体に関するモデリング領域をカバーし、技術開発の期間や費用を削減できる数少ない手法である。本資料で述べる広義の TCAD は図 MS1 のように、次の分野をカバーする: (1) 装置モデリングー装置の構造や設定をはじめとするウェーハプロセス(リソグラフィは除く)階層のモデリング; (2) リソグラフィモデリングーリソグラフィ装置、フォトレジストによるマスク形状転写のモデリング; (3) フロントエンド・プロセスメタライゼーション工程前迄で、トランジスタを作るまでのリソグラフィを除く製造工程にまつわる物理現象; (4) デバイスモデリングー能動素子の動作を物理的に記述する階層的モデリング; (5) インターコネクトと集積受動素子モデリングーバックエンド・アーキテクチャにおける機械的、電磁氣的、熱的な応答のモデリング; (6) 回路素子モデリングー能動的、受動的、寄生的回路素子や、新たなデバイス構造の回路素子のコンパクトモデル; (7) パッケージ・シミュレーションーチップのパッケージングに関する電氣的、機械的、熱的なモデリング; (8) 材料モデリングー材料に関する物理特性や、付随する電氣的特性を予測するためのシミュレーション・ツール; (9) DFM (Design for Manufacturing: 製造容易化設計)、DFY (Design for Yield: 歩留まりのための設計) 用 TCADー製造工程上の不可避ばらつきや不純物揺らぎ等の IC 性能への影響、更には、設計パラメータ、製造歩留り、仕様範囲内の IC 比率への影響予測に使用するモデルやソフトウェアの開発; (10) 数値計算アルゴリズムー格子形成、表面形状変化、偏微分方程式の並列解法、最適化計算などを含む、どの分野であれそのモデル計算を実現するために必要とされるすべてのアルゴリズム。これらは、装置、形状、IC の各スケールに分類される。第(8)項から(10)項は、モデリング・シミュレーションのいずれの技術分野と接点があるという意味で独自なものである。また材料と装置に関係した項目は、能動素子やインターコネクト関係と同程度に、すべての製造工程にとって次第に重要性を増している。数値計算アルゴリズムはモデリング・シミュレーションのほとんど全分野で共有される技術である。

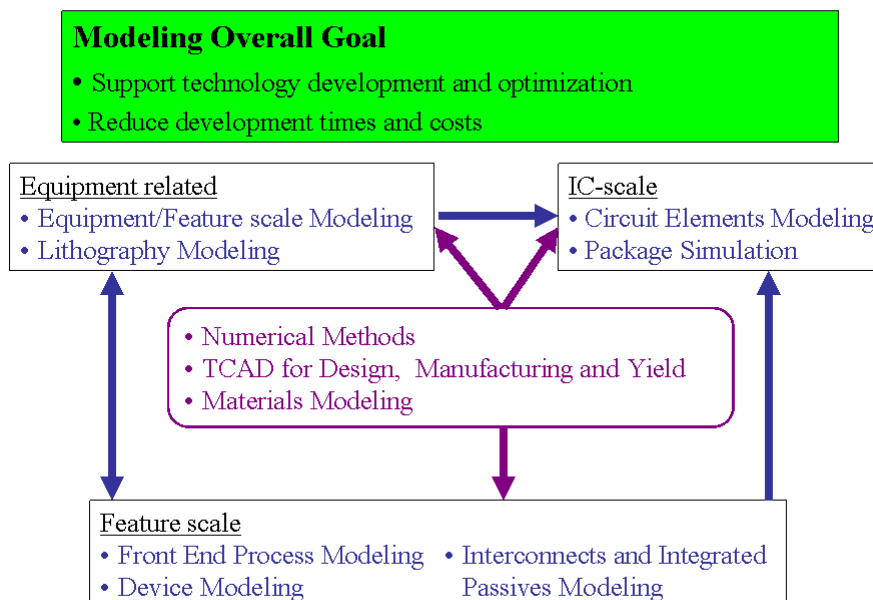


Figure MS1

Modeling and Simulation Scales and Scales

モデリング・シミュレーション技術の供給者は、政府またはプロジェクトが資金を提供する、主として大学や研究機関である。TCAD ソフトベンダーはこうした活動を担う上で重要な役割を果たし、多くの場合に研究開発成

果を商用シミュレーション・ツールにカスタム化する事で技術の研究開発者と企業における顧客利用者とのインターフェイスとなっている。半導体企業は主に、半導体素子や回路の開発やその最適化、シミュレーション機能の適用、応用に焦点を向け努力している。

新たなモデリング機能を開発しようとする、一般に、長期の研究期間がかかる。また、より学際的な活動が必要になり、アカデミックまたは研究所環境で実行するのがベストである。このためモデリング技術で成功するには、その前段階で、大学や独立した研究機関と産業界とが連携した膨大な研究努力が、シミュレーション技術の分野では必要とされる。必須かつ基礎的な仕事は一般に長期の開発時間がかかるため、産業界で本格的に必要とされる時期に先立ち、適切な研究基金が不可欠である。現在、このような研究基金は不足しており、以下にまとめる困難な技術課題より、むしろ厳しいものである。例えば、モデリング・シミュレーションの 2005 年 ITRS での幾つかの要求事項は、研究資源不足で十分な研究開発が出来ず 2007 年の要求項目に押し込められるという遅れが出ている。

困難な技術課題

表 MS1 に掲げた困難な技術課題は、必要とされる時期までに実現してロードマップの高度な進展を支えるべき技術である一方、技術上の困難さや研究開発リソースの観点で最も困難な技術課題である。さらに現在全てのモデリング分野にわたり鍵となる困難な技術課題は、実験的検証であることは銘記すべきである。この課題は、多くのプロセスにおいて様々な物理現象が相互に作用し、かつそれらは実験結果への単なる当てはめではなく、予測性を持ったモデルを開発するためによく吟味された実験によって適切に区別されなければならないため、とても困難になる。素子サイズの縮小化と新しい材料の導入により、モデル開発に必要な情報と、実験からの評価・検証を引き出せる新しい強力な解析技術が欠かせない。こうした特に重要なニーズは測定技術に関する ITWG との議論で触れる。

Table MS1

Modeling and Simulation Difficult Challenges

<i>Difficult Challenges ≥ 22 nm</i>	<i>Summary of Issues</i>
Lithography simulation including EUV	Experimental verification and simulation of ultra-high NA vector models, including polarization effects from the mask and the imaging system
	Models and experimental verification of non-optical immersion lithography effects (e.g., topography and change of refractive index distribution)
	Simulation of multiple exposure/patterning
	Multi-generation lithography system models
	Simulation of defect influences/defect printing
	Optical simulation of resolution enhancement techniques including combined mask/source optimization (OPC, PSM) and including extensions for inverse lithography
	Models that bridge requirements of OPC (speed) and process development (predictive) including EMF effects and ultra-high NA effects (oblique illumination)
	Predictive resist models (e.g., mesoscale models) including line-edge roughness, etch resistance, adhesion, mechanical stability, and time-dependent effects in multiple exposure
	Resist model parameter calibration methodology (including kinetic and transport parameters)
	Simulation of ebeam mask making
	Simulation of directed self-assembly of sublithography patterns
	Modeling lifetime effects of equipment and masks

Table MS1

Modeling and Simulation Difficult Challenges

Difficult Challenges ≥ 22 nm	Summary of Issues
Front-end process modeling for nanometer structures	Diffusion/activation/damage/stress models and parameters including SPER and millisecond processes in Si-based substrate, that is, Si, SiGe:C, Ge, SOI, epilayers, and ultra-thin body devices, taking into account possible anisotropy in thin layers Modeling of epitaxially grown layers: Shape, morphology, stress Modeling of stress memorization (SMT) during process sequences Characterization tools/methodologies for ultra shallow geometries/junctions, 2D low dopant level, and stress Modeling hierarchy from atomistic to continuum for dopants and defects in bulk and at interfaces Efficient and robust 3D meshing for moving boundaries Front-end processing impact on reliability
Integrated modeling of equipment, materials, feature scale processes and influences on devices, including variability	Fundamental physical data (e.g., rate constants, cross sections, surface chemistry for ULK, photoresists and high-κ metal gate); reaction mechanisms (reaction paths and (by-)products, rates ...), and simplified but physical models for complex chemistry and plasma reaction Linked equipment/feature scale models (including high-κ metal gate integration, damage prediction) Removal processes: CMP, etch, electrochemical polishing (ECP) (full wafer and chip level, pattern dependent effects) Deposition processes: MOCVD, PECVD, ALD, electroplating and electroless deposition modeling Efficient extraction of impact of equipment- and/or process induced variations on devices and circuits, using process and device simulation
Ultimate nanoscale device simulation capability	Methods, models and algorithms that contribute to prediction of CMOS limits General, accurate, computationally efficient and robust quantum based simulators including fundamental parameters linked to electronic band structure and phonon spectra Models and analysis to enable design and evaluation of devices and architectures beyond traditional planar CMOS Models (including material models) to investigate new memory devices like MRAM, PRAM, etc. Gate stack models for ultra-thin dielectrics Models for device impact of statistical fluctuations in structures and dopant distribution Efficient device simulation models for statistical fluctuations of structure and dopant variations and efficient use of numerical device simulation to assess the impact of variations on statistics of device performance Physical models for novel materials, e.g., high-κ stacks, Ge and compound III/V channels ...: Morphology, band structure, defects/traps... Reliability modeling for ultimate CMOS Physical models for stress induced device performance
Thermal-mechanical-electrical modeling for interconnections and packaging	Model thermal-mechanical, thermodynamic and electronic properties of low κ, high κ, and conductors for efficient on-chip and off-chip including SIP layout and power management, and the impact of processing on these properties especially for interfaces and films under 1 micron dimension Model effects which influence reliability of interconnects/packages including 3D integration (e.g., stress voiding, electromigration, fracture, piezoelectric effects)

Table MS1

Modeling and Simulation Difficult Challenges

<i>Difficult Challenges ≥ 22 nm</i>	<i>Summary of Issues</i>
	Models to predict adhesion on interconnect-relevant interfaces Simulation of adhesion and fracture toughness characteristics for packaging and die interfaces Models for electron transport in ultra fine patterned interconnects
Circuit element and system modeling for high frequency (up to 160 GHz) applications	Supporting heterogeneous integration (SoC+SiP) by enhancing CAD-tools to simulate mutual interactions of building blocks, interconnect, dies and package: - possibly consisting of different technologies, - covering and combining different modeling and simulation levels as well as different simulation domains
	Scalable active component circuit models including non-quasi-static effects, substrate noise, high-frequency and 1/f noise, temperature and stress layout dependence and parasitic coupling
	Scalable passive component models for compact circuit simulation, including interconnect, transmission lines, RF MEMS switches, ...
	Physical circuit element models for III/V devices
	Computer-efficient inclusion of variability including its statistics (including correlations) before process freeze into circuit modeling, treating local and global variations consistently
	Efficient building block/circuit-level assessment using process/device/circuit simulation, including process variations

Table MS1

Modeling and Simulation Difficult Challenges

Difficult Challenges < 22 nm	Summary of Issues
Modeling of chemical, thermomechanical and electrical properties of new materials	Computational materials science tools to predict materials synthesis, structure, properties, process options, and operating behavior for new materials applied in devices and interconnects, including especially for the following: 1) Gate stacks: Predictive modeling of dielectric constant, bulk polarization charge, surface states, phase change, thermomechanical (including stress effects on mobility), optical properties, reliability, breakdown, and leakage currents including band structure, tunneling from process/materials and structure conditions. 2) Models for novel integrations in 3D interconnects including airgaps and data for ultrathin material properties. Models for new ULK materials that are also able to predict process impact on their inherent properties 3) Linkage between first principle computation, reduced models (classical MD or thermodynamic computation) and metrology including ERD and ERM applications. Modeling-assisted metrology. 4) Accumulation of databases for semi-empirical computation.
Nano-scale modeling for Emerging Research Devices including Emerging Research Materials	Process modeling tools for the development of novel nanostructure devices (nanowires, carbon nanotubes (including doping), nano-ribbons (graphene), quantum dots, molecular electronics, multiferroic materials and structures, strongly correlated electron materials) Device modeling tools for analysis of nanoscale device operation (quantum transport, tunneling phenomena, contact effects, spin transport, ...)
Optoelectronics modeling	Materials and process models for on-chip/off-chip optoelectronic elements (transmitters and receivers, optical couplers). Coupling between electrical and optical systems, optical interconnect models, semiconductor laser modeling. Physical design tools for integrated electrical/optical systems
NGL simulation	Simulation of mask less lithography by e-beam direct write (shaped beam / multi beam), including advanced resist modeling (low activation energy effects for low-keV writers (shot noise effects and impact on LER); heating and charging effects), including impact on device characteristics (e.g., due to local crystal damage by electron scattering or charging effects) Simulation of nano imprint technology (pattern transfer to polymer = resist modeling, etch process)

≥22nm 迄の世代における困難な技術課題

製造装置、材料、素子形状サイズのプロセスがデバイスへ与える影響の統合モデリング — 製造装置に起因したプロセス結果の不均一性は、テクノロジーの生産性と歩留まりの鍵となる重要な問題である。ここで、不均一性とは、特にウエハ面内あるいはウエハ間での不均一性のことであり、また、装置の保守と保守の間によるプロセス結果の変化のことである。それは、例えば、装置内壁面に形成された皮膜に起因するものである。現在では、プラズマを用いた成膜やエッチング、CVD、電気メッキ、化学的機械研磨(CMP)工程で、こうした効果が特に重大になる。一般に、材料の物理的性質や化学反応はまだ十分には解明されていないため、予測能力があるシミュレーションは依然としてごく限られている。重要かつ困難な技術課題として、反応経路に関する正確な化学反応モデルの開発、必要とされるパラメータに関する信頼出来る数値、実用的な応用にとって必要な主要反応だけを含む簡略化された反応モデルの開発がある。もつとましく微細プロセスシミュレーションと連携させるには、表面化学やプラズマと表面の相互作用が、適切にモデル化される必要がある。プロセスによって、統合された製造装置と素子形状サイズのプロセスのシミュレーションはますます重要になる。そこでは、製造装置の影響と素子形状サイズのプロセスの影響を明確に分離できないし、また、境界を定義することもできない。さらに、プロセスの統計ばらつきはますます重要である。製造装置とプロセスによるばらつきがデバイ

スや回路に与える影響を評価する必要があり、それには、対応するプロセスとデバイスシミュレーション・ツールの改善が必要である。この技術課題は装置・素子形状サイズのプロセスモデリングの節で触れる。

EUV を含むリソグラフィ・シミュレーション — リソグラフィ・シミュレーションをかなり援用して、様々な巧妙な手法が、光学リソグラフィをさらに小さいスケールへ適用範囲をひろげるために取り入れられている。とりわけ解像力向上技術が進み使用される波長の種類が増加するため、さらなる技術開発のためにリソグラフィ・シミュレーションは、大きく改善される必要がある。液浸リソグラフィのシミュレーションは、いままで考慮されていなかったさまざまな効果を取り入れることにより、さらに改善されなければならない。2005 年の ITRS に比べると、この課題のもっとも重要で新しい点は、いろいろな選択肢がある多重露光／パターンニングのシミュレーションである。光源とマスクの組み合わせの最適化をしている光学的近接効果補正(OPC)や位相シフトマスク(PSM)の合成方法に関する改良されたモデルを作ること重要な技術課題である。化学的増幅型レジストに関して予測能力があるモデルを開発することは継続的な課題であり、多重露光における時間依存効果を取り組む必要があるため、さらに大きな課題になっている。もし開発されればリソグラフィモデルの応用範囲は著しく拡大するであろう。リソグラフィ・シミュレーションの挑戦は、素子スケールからチップ全体、装置とマスクの効果からウエハ上の露光の欠陥、名目上の CD 値やレジスト形状の予測からプロセスウィンドウや装置とマスクの延命効果へと広がっている。この課題はリソグラフィモデリングの節で触れる。

ナノ構造のためのフロントエンド・プロセスモデリング — これはデバイスの製造からその性能を予測する際に鍵となる技術課題である。この課題は、材料やデバイスのシミュレーションを含んだ「究極のナノスケール CMOS シミュレーション能力」という大きな課題と、ある程度、重なる。フロントエンド・プロセス分野の最も重要で困難な技術課題は極浅い接合形成のモデリングで、これは非常に低いエネルギーのイオン注入から始まり、ドーパントのアニールや熱拡散がモデリングの核心である。また、代案として出されているドーパされたエピタキシャル層の形成は、形状やモルフォロジ、欠陥状態や応力を考慮して、シミュレーションする必要がある。浅い接合形成に必要な熱負荷は大きく減少するため、その工程は極めて過渡的であり、ドーパント原子と点欠陥との反応や拡散や、これら 2 つがクラスタを形成するダイナミックな過程にとりわけ支配される。イオン注入時のダメージや、アモルファス化、再結晶化、シリサイド化の精度の良いシミュレーションが必要である。薄膜において潜在的に存在するモデルやパラメータの異方性の研究は必須である。チャネルにおけるキャリア移動度を増加させる必要から、応力と歪のモデリングや、応力や歪が不純物拡散や活性化に与える影響のモデリングが重要であり、とりわけ、歪シリコンや SiGe、SOI 構造にとって重要である。さらに、プロセス工程間の応力履歴や記憶は重要であり、シミュレーションされなければならない。モデル開発や、キャリブレーション、モデルの評価は、製造工程自体の評価と同様に、膨大な実験の実施に加え、特にドーパントや点欠陥の 2 次元、3 次元的な測定技術の大きな進展を必要としている。効率よく、かつ、正確な 3 次元シミュレーションを可能にするには、移動境界のためのメッシュ生成が強力に推し進められる必要がある。この技術課題はフロントエンド・プロセスモデリングの節で触れる。

究極のナノスケール CMOS シミュレーション能力 — CMOS 技術とデバイスにとって究極的な限界は何かという問題は、マイクロエレクトロニクス産業にとって基本的な問題であり続ける。ここで鍵となる技術課題は、材料、製造工程、そして信頼性を含めた素子動作に関して予測能力を持つシミュレーションである。high- κ 材料を含む積層ゲート構造や、歪が施された Ge や III-V 族化合物チャネルや、寸法依存性のある Cu 抵抗や low- κ 誘電体からなる配線や、非線形性を示すフォトレジストに対して、材料に関するモデルがとりわけ必要とされている。短期的なニーズとして、こうした材料モデルは第一原理から導き出されるのではなく、部分的には依然として現象論的なモデルになるかもしれない。さらに、量子力学に基づくキャリア輸送や非平衡(バリスティック)なキャリア輸送を取り扱うデバイスシミュレーションが必要になる。シミュレーションは標準的なプレーナ型 CMOS 以降の世代のデバイスにも適用できるようにする必要がある。応力エンジニアリングが可能でなければならない。精度に加えて、効率と頑健性も鍵となる課題である。原子レベルや工程に起因するゆらぎは究極の CMOS 素子の量産性に重大な影響を与えるので、シミュレーション出来なくてはならない。この技術課題は以下のほ

とんどの節で関係してくる。

配線とパッケージの熱的、機械的、電氣的モデリング — 集積回路の信頼性と性能は、ますます配線とパッケージに影響される。電氣的、熱的、機械的な特性は緊密に相互作用するので、シミュレーションでは同時に扱わねばならない。信頼性の問題では、エレクトロマイグレーション、応力起因のボイド発生、薄膜の健全性や密着性、表面粗さ、パッケージング時の破損や腐食に関するモデルが必要とされている。IC 内部で発生する熱に対する耐性やチップ外への放熱は、さらに集積度をあげる際の最重要な関心事になりつつある。ロードマップでの要求に応えるために、low- κ の様な新材料が導入されつつある。積層ゲート構造の high- κ のモデリングも必要とされている。これらの材料は多岐にわたる上に、特性に関する知見が欠けているため、これら2種類の材料のモデル開発には多大な努力が必要である。製造工程は、配線材料の特性と3次元形状の両方に影響を与える。シミュレーションではこうした理想的でない状況をも考慮しなくてはならない。この課題は、以降の主に配線と集積受動素子モデリングの節で述べる。

高周波(160GHz まで)アプリケーション用の回路要素とシステムのモデリング — non-quasi-static 効果、基板ノイズ、高周波ノイズと1/fノイズ、温度と応力のレイアウト依存性と寄生カップリングについて、正確かつ効率のよいコンパクトモデリングをすることは、最も重要になるだろう。プロセスが決定される前に、統計(相関を含む)を回路モデリングへ計算効率よく取り入れることが必要であり、それにより局所ばらつきと包括的なばらつきを首尾一貫して取り扱える。デバイスと回路の同時最適化をするためには、プロセス/デバイス/回路シミュレーションを用いて、標準セルと回路レベルの効率良い評価の裏付けが必要である。また、III-V 族デバイス、CMOS デバイスと高耐圧デバイス用のコンパクトモデリングが必要である。受動素子ではバラクタ、インダクタ、高密度キャパシタ、トランスフォーマ、電送線のコンパクト・スケラブル・モデルが必要とされている。こうした RF 用コンパクトモデルのパラメータ抽出により、測定をなるべく最小限にしようとしている。モデルパラメータは必要ならばシミュレーションを使って標準的な I-V 測定、C-V 測定から抽出する必要がある。77GHz 車載用レーダーのような極端な RF アプリケーションは 100GHz 帯へ近づいている。40GHz 帯に適用した際に3次の高調波成分の歪みは、このモデリング手法が 120GHz までの高調波にしか適用出来ないことを意味している。空間的により広範囲からの影響をモデル化する重要性が増している。そうした例には、クロストーク、基板帰還パス、基板カップリング、電磁放射、発熱がある。標準セルと配線とチップとパッケージの相互作用を、可能な限り異分野の技術でもってシミュレーションすることにより、SoC + SiP といった異種のインテグレーションを支援する CAD ツールを、さらに推進しなければならない。その際、異なるシミュレーション領域はもちろんのこと、モデリングとシミュレーションの異なるレベルをカバーし、組み合わせることが、異分野の技術でもってシミュレーションする上で必要になる。

<22nm 以降の世代における困難な技術課題

新材料の化学的、熱力学的、電氣的特性のモデリング — 物理的な限界に起因して、技術開発の際に新材料導入の必要性が益々高まっている。そうしないと更なるスケーリングが止まってしまうからである。新材料の導入は、特に、積層ゲート構造、インターコネクト構造、フォトレジスト、更に探索素子(Emerging Research Devices) (ERD 及び ERM の章を参照)に対して必要とされている。そのため、装置、プロセス、デバイス、回路のモデルはこれらの新材料を含む様に拡張されねばならない。それに加え、実験の手間を省くと共に、半経験的な計算に必要とされるデータベースを構築するためにも、計算に基づく材料科学を開発して新材料の選定や評価に活用することが期待される。この技術課題は以下のほとんどの節で述べられる。

ナノスケールモデリング — 探索素子(Emerging Research Devices)の章の中では、長期的に見た CMOS の代替デバイスの候補として、たとえばナノワイヤー、カーボンナノチューブ、ナノリボン、量子ドット、分子エレクトロニクス、強誘電性と強磁性を有する物質と構造、また、強相関電子物質などが論じられている。このような素子構造、製造技術に関する評価や最適化には、量子輸送、トンネリング現象、スピン輸送などの適切なプロセス、デバイスシミュレーションの道具が開発される必要がある。これらは以下の大部分の節と関係してくる。

オプトエレクトロニクスモデリング — 周波数の更なる増加や、やがてくるインターコネクト限界のために、電子デバイスと光インターコネクトとの組み合わせが興味深い選択肢となりつつある。光インターコネクトの製造に対するシミュレーション・ツールと電子的・光学的に集積されたシステムの性能をシミュレーションするためのツールが開発されなければならない。また、この領域での材料モデルも含まれる必要がある。この課題は主にインターコネクトと受動素子の集積モデルの節で扱う。

次世代リソグラフィ(NGL: next generation lithography)シミュレーション — 光学的或いは EUV のリソグラフィ技術の次世代のリソグラフィ技術に対するモデリングや評価技術は、技術選択と導入を効率的に進める上で極めて重要である。現状で有力視されているのは、主に電子線直描によるマスク不要なリソグラフィとナノインプリント技術である。両者共に先端的なレジスト材に対するモデリングは大変重要であり、短期的な開発領域で先行する光学的あるいは EUV のリソグラフィ技術とは実質的に異なるものである。

技術要求

以下の諸説ではスコープで述べた 10 の主要な分野に対する技術課題をより詳細に述べる。先に述べたように、「材料モデリング」、「装置/形状モデリング」、「設計、製造、および歩留まり用 TCAD」それに「数値計算技術」は全ての分野と関わっている。従って、これらについては、それぞれの節だけでなく、他の節でも論じられている。

装置/形状モデリング

装置と微細形状モデリングは、圧力やパッドラフネスなどのように幾何形状や本質的なプロセス変動に起因する反応器スケールのシミュレーションを含んでおり、表面化学や局所的な温度変動のようにパターンや細線効果と関連させて、正確なプロセス結果を予測することを目的としている。これまで、微細形状シミュレーションと装置モデルは、たいてい分離されていたが、その背景には、スケールの異なるモデルを統合しながら開発された様々な近似をもつ多重スケールモデリングがある。「装置モデリング」というミッションはそういうスコープの中で発展してきたが、今や、階層的なシミュレーションレベルとプロセスステップを統合したユニットプロセスシミュレーション(すなわち、個別プロセスステップの定量的なシミュレーション)を含んでいる。このことを考慮すると、コンセプト設計や可能性調査から始まって、継続的な改良の繰り返しで終了する実際の製造ライフサイクルが、基礎的な現象とメカニズムを基本とした装置シミュレーションにますます影響されるようになるだろう。これらのテーマの多くは、お互いに論理的なインターフェイスを有するいろいろな技術項目の中で、同時に処理されている。新しい努力により多くの分野からのアプローチが要求され、リソグラフィ、測定手法、フロントエンド TCAD、物質科学、機構、それに *ab-initio* 計算手法をしっかりと関連づける必要がある。

いろいろな分野を一つの包括的なアプローチに統一し、ミクロな物理や化学を説明するという仕事は非常に難しいようだが、それは実験コストの急騰や大きなばらつきという背景を考えると、懸命な選択だろう。プラズマや化学反応を電磁気学計算や流体力学計算した装置設計がますます重要になっている。ナノスケールプロセスの分析や設計は、その微細形状での化学反応、表面反応のモデリングとシミュレーションによって向上されるだろう。装置・形状モデリングの技術的問題を下記にまとめる。

- データニーズ

先進のプロセスと装置シミュレーションの第一原理的な面から見て、物質と表面の両方の性質だけでなく、根本のミクロなメカニズムを特性化したパラメータに関して、より包括的なプロセス特性化と基礎入力データが要求されている。

CVD と ALD の分野では、要求されるデータは原料、粒子輸送、バルク反応、表面相互作用の記述から始まる。量子化学ツールを利用して殆どの反応システムを特性化できる。しかし、それらのツールは、自己整合的なシミュレーションに向けて、最初のデータをミクロなモデルに関連づける効率的な計算アプローチがなければ不十分である。メカニズムのキャリブレーションをスピードアップするため、効率よく行うことが必要である。一

つのいい例は、high- κ 絶縁膜デポジションに使われる原料の量子化学特性化である。

プラズマプロセス中では、ラジカル、解離粒子、励起状態に対する電子衝突断面積と熱学的なデータは予測的なシミュレーションに対して重要な要因である。強調すべきは、重要な原料につながる解離パスの実際の決定である。粒子の励起状態を特性化し、崩壊のカスケードを生成するために、正しい近似が要求されるだろう。このような要求は、特別な実験のアレンジメントと新しいテスト装置に重点をおくことで、実際に使えるモデルの入力データを提供できるかどうかをはっきりする。これに関連してほとんど無視されたことは、プラズマ表面相互作用に対する基礎データの欠如である(特に、フォトレジスト、ULK 物質、メタル混成、そして合金の関連である)。ひとつのアプローチは分子動力学を使うことである。先進のメタライゼーションとMOSFETのゲート・スタックに向け、メタル合金成膜プロセスをターゲットとすべきである。特別なニーズは、改良された内部原子ポテンシャルに関するメタリックシステムのミクロな記述と、アモルファル表面とドーブ薄膜のミクロな記述を含んでいる。

CMPの分野では、基本プロセス特性の理解が貧弱であるので、もっと系統的な、そして基礎的に特性化するアプローチが要求されている。実験データからは、研磨速度にダイナミックに与える影響を加味しながら、プロセス条件の関数として研磨パッドやコンディショナーの消耗を特性化する必要がある。電気的なCMPの場合、膜表面上や電界中でのスラリー添加剤の吸収/放出の振る舞いが殆ど知られていないし、槽の中でのそれらの一時的な分解に関する理解も乏しい。

さらに、ECMPで重要なこととして、電気メッキに関しては、特に電磁場が存在する中では、液体システムに拡張された量子化学計算を行うことで得るものがあるだろう。複雑な槽を持つ無電界成膜やCoWPM系物質のデポジションに対する表面化学のモデリングは、基礎的量子化学に対して、槽熱力学や表面熱力学パラメータを導出することが特に必要である。

● モデル検証と半経験的モデル開発

モデルの妥当性をよりよくするために必要なこととして、努力すべきはセンサー開発と測定手法であり、特に超薄膜や超微細構造の製造と振る舞いを予測できるモデルに払われるべきである。プロセス化学モデルのコスト効果の検証が必要である。CMPに対しては、研磨パッド、コンディショナーディスク、スラリーのような消耗品を含んだプロセスの様々な物理パラメータの測定は成熟していない。プラズマ、CVDやALDモデルに対しては、微細形状の転写を通してウエハに向かう粒子の輸送を特性化するピンホール実験のような表面プロセス化学診断を増やす必要がある。表面をex-situで探索し、リアルタイムにin-situ状態に戻すアプローチを非平衡プロセスのために開拓すべきである。オーバーハングキャビティ構造のようなテスト構造の標準化や温度測定のような特別な診断に使うウエハも、モデルのキャリブレーションやプロセスコントロールのために必要である。機能拡張されたリアルタイムFTIR、光干渉計測やXPS、SIMSのような事後診断ツールの改良は、原子スケールからチャンバスケールまでを統合したデバイス製造モデルを検証していくために必要であろう。

● 微細スケールシミュレーションと統合化モデル開発

起動部を有する装置のセッティングやプレコンディションは、装置チャンバモデルと微細スケールモデルの間の統合において高い精度が求められる。例えば、チャンバコンディションが形状変化に与える影響は、小さな研究トピックではあるが、よく知られた現象である。プラズマALDを含むプラズマプロセスの場合、薄膜の形状変化をより深く解析するため、数値計算の粗さを最小にするように、特に注意が必要である。一般的に、先進のテクノロジーノードに適用される早いペースで置き換わる新材料は、プロセス表面材料の複雑な結合と反応を本質的に伴っている。特別な実験と原子レベルのシミュレーションに対する信頼性を向上させる必要がある。プラズマエッチングに関する部分では、LER(Line Edge Roughness)、ゲートプロファイル制御、プロセス起因のダメージ(PID)、デバイスの電氣的、機械的な安定性(ストレス)の保持を含んでいる。

微細スケールモデルは、しばしばトレンチ埋め込みやエッチング残渣の影響のようなプロセス細部の基本的な理解を与えてくれるが、更なる有益な情報がしばしば関連する装置スケールモデルとの統合により実現され

る。反応器スケールモデリングの効果は、しばしば微細スケールモデリングの結果により最初の効果が得られる。また、原子レベルの微細スケールシミュレーションと反応器スケールモデルとを統合することが標準化される必要がある。

微細形状スケールシミュレーションと反応器シミュレーションを統合することに関しては、いろいろなプロセスに対して、モデルを統合することが問題である。プロセスインテグレーションの数値解析のインフラは、複雑で決して標準的ではない。いろいろなユニットのプロセスシミュレーションツール(レイアウトツールを含む)間のコミュニケーションは非常に重要である。特別な例では、第一原理に基づいたタイル設計、インテグレーションにより導かれたマスク設計がある。プロセスばらつき(ロット間、ツール間)を取り込むモデル開発はより大きな挑戦となる。

- 多世代装置/ウエハモデル

歴史的に装置モデルとは、異なる解法、離散手法、メッシュジェネレータを用いて、様々な研究者に大いに注目されたモジュールであった。その分野では、課題とする物理やフォーカスされるべき境界条件を可能としていながら、これら様々なコンポーネンツが統一されることにより成果を得られるだろう。このことはある程度行われてきたが、物理モデル開発のための標準化へ向けた土台作りへ移行する努力は、今まで論じられてきたように、統合されたモデルによるスムーズな開発と同様、新しいモジュールシミュレーションによるより早い開発へとつなげることができる。

- 除去プロセス

プラズマエッチングのモデル化へのアルゴリズムは成熟しているように見えるが、量的予想の性能は、物理、化学、表面反応の基礎的なデータに強く依存する。同様に、CMP や電気化学研磨(ECP)といった除去プロセスのモデリングも重要になっている。どのプロセスにおいても、ウエハ、チップレベル、パターンの依存性を予測することが要求される。

- 成膜プロセス

除去プロセスと同様に、PECVDを含むCVDプロセスのモデリングは成熟していた。けれども、MOCVDプロセスへ新材料が導入されたので、これら材料の基本的な化学データが必要不可欠である。材料モデリングもまたプロセスモデリングから期待されている。ALD、電気メッキ、電気蒸着のような他の成膜プロセスに対するモデリングは、開発されることが期待されている。

リソグラフィモデリング

リソグラフィのモデリング・シミュレーションに要求されることは次の5つの分野に分けられる。1)像形成モデリング、2)電磁界散乱解析、3)レジストモデリング、4)統合モデルシステム、5)測定とモデリングの結合、である。これらについて以下で議論する。

- 像形成モデリング — 新規プロセス技術、例えばダブル・パターニング、の開発をシミュレーションで支援するために、より正確、柔軟、かつ効率的な像形成モデルが必要とされる。既存の像形成モデルやソフトウェアは、超高 NA、特に液浸リソグラフィで、生じる偏光の影響を正しく見積もることができるかどうかという観点で、厳しく評価されなければならない。さらに、レンズ-液体界面の高屈折材への影響のモデルも含まれている必要がある。より進んだ像形成モデルには、光源内部や射出瞳での偏光の空間的変化、レンズとマスクの複屈折、レンズ透過率の空間的変化、偏光収差などのすべての偏光の効果が含まれなければならない。EUV リソグラフィでは、大量生産機の要求に耐えうる、高 NA で革新的な証明系の設計はモデリングとして非常にやりがいのあるものである。レンズ、反射面、マスク背面やマスク上の薄膜で生じる付加的な偏光(変化)の影響もまた同様に考慮されなければならない。そして、リソグラフィ用結像系内部の表面粗さによるフレアの影響を扱うことのできる、より進んだシミュレーション方法が必要であり、EUV と光学のフレアの異なった特性がモデルに反映される必要がある。

- **電磁界散乱解析** — 電磁界散乱解析は、研究の主要な部分になるにちがいない。厳密な電磁場の取り扱いが必要となる2つの例が、(バイナリマスクにおいてさえ)マスク上のトポグラフィによる散乱と積層構造やレジストのトポグラフィによる散乱である。FDTD 法(Finite Difference Time Domain Algorithm)、Modal Method(Wave Guide, RCWA(Rigorous Coupled Wave Analysis))、有限要素法などの異なった解法の能力は、精度、必要なメモリ、計算時間の点から厳しく評価されなければならない。レチクルのかかわる光学的超解像技術の徹底した評価、最適化や、マスク欠陥からの光の散乱の解析のために、より効率的なモデルが必要である。Mask Decomposition Techniques や Boundary Layer Models などの近似方法の精度は、広範なリソグラフィのプロセスパラメータに対して評価されなければならない。多層積層構造での反射や吸収層での厳密な電磁場の伝播の取り扱いが、特に EUV マスクでは、必要である。22nm 以降のパターン形成で必要とされるいろいろな OPC のスキームでの Mask Shadowing 効果の調査にも厳密な電磁場の伝播の取り扱いが必要である。多層膜固有の欠陥や吸収性の欠陥の重大性(転写性)は、処理中に表面に付着する欠陥やパーティクルの影響と同様に、注意深く解析する必要がある。(構造を持った多層膜による)位相の効果、(光源が有限の大きさであることや、露光スリット内での入射角の変化による)非干渉性の効果、そして、これらの OPC への影響が考慮されねばならない。マスク構造の微細化にともない、吸収材の粗さ、その LER(Line Edge Roughness)への影響、ウェファ内 CD ばらつきがますます重要になる。
 - **レジストモデリング** — 予測的、かつ定量的なレジストモデリングが、依然としてリソグラフィ・シミュレーションのボトルネックとなっている。溶剤の拡散、post-apply bake、ポストバーク、拡散(酸と消光剤)、ライン・エッジ・ラフネス、表面での相互作用などを含んだ化学増幅型レジストの正確なモデルが必要であり、3D レジスト形状を正確に予測できなければならない。いろいろな化学物質のレジストから浸透液への溶解、あるいはその逆、のような液侵方式固有のモデルへの拡張が必要である。ダブル・パターニングなどの新しいリソグラフィ工程では、非線形性や可逆ブリーチングなどの進んだ性質を持った材料と多層レジストが必要とされ、これらに対応したモデルが必要とされる。光学像を空間的に分散させる方法などの簡略化したレジストモデルや集中常数モデルの能力は、完全なレジストモデルと厳しく比較する必要がある。リソグラフィからエッチングにわたる薄膜レジストと多層レジストのモデリングが重要となる。レジストのパターン形成はエッチング耐性と力学的安定性から評価される必要がある。ポリマーの大きさの影響、例えば LER(Line Edge Roughness)や線幅の変動への影響、の重要性が増しているため、メゾスコピックモデル、コンピュータ分子モデリングや確率論的モデリングに基づくレジスト研究の必要性も増している。LER、解像度と感度の間のトレードオフのモデリングは特に注目されている。
 - **統合モデルシステム** — 理論的解像度の限界近傍でのリソグラフィの結像では、照明系、マスク、投射系、ウェハ形状を反映したレジストなどのリソグラフィ系の各部分の相互作用が複雑に絡んでくる。独立なパラメータが非常に多くなり、また、理解すべきデータも雪崩のように増えるため、光学の回折限界付近で操作される今後の技術の微調整では、コンピュータをベースにした最適化システムが求められる。特に、光学的超解像度技術におけるマスクと光源のパラメータの最適化と、レジストがこの最適化にどのような影響を与えるかの理解がこれに含まれる。ダブル・パターニングなどの新しいインテグレーション技術は、エッチング、デポジション、平坦化工程の追加を伴い、これらをリソグラフィ・シミュレーションで考慮する必要がある。(レジストの)下にあるウェハ上のトポグラフィの影響も理解される必要があり、当然、考慮されねばならない。マスクから最終製品までの過程での徹底的な欠陥転写の研究においても、統合モデルシステムが必要とされる。さらに、ダブル・パターニングのいっそうのひろがりにより、最適化がより困難になり、工数のかかるものになる。
- リソグラフィ・シミュレーションと OPC の結合が重要になる。最先端ノードの OPC モデルを適切な時間で作るためには、予測のできる厳密なシミュレーションのモデルの助けが必要とされる。ツール間の標準化されたインターフェイスの供給も必要となる。
- **モデルのキャリブレーション: 計測とモデリングの結合** — より予測的なプロセスシミュレーションでは、モデルと計測ツールとのより強固な結びつきが求められる。計測ツールの結果を適切なシミュレーションのパラメータに変換する方法を開発しなければならない。計測データの生成の基本的な理解のため、結局は、シミュレーション結果から意味のある評価パラメータを抽出することが必要となる。レンズの収差データと光源の

形状測定が一般的になったので、光源とレンズの完全な偏光に特化したモデルがもとめられる。電磁界散乱のシミュレーションを使うため、すべてのマスク材料の正確な三次元的形状と光学パラメータが今や必要とされている。レジストパラメータ、特に 193nm 液浸レジストおよび EUV のレジスト、のパラメータの測定の実験的仕組みを考案、あるいは改良しなければならない。リソグラフィ工程のシミュレーションのために開発された手法は、また、計測ツールの評価にも使える。マスク検査、プロセスの重ね合わせに与える影響の解析のための重ね合わせのアライメント信号のモデリング、収差測定、適切な測定データからのレジストモデルパラメータの抽出などがこれに含まれる。

上で述べたリソグラフィ・シミュレーションの伝統的な活用に加えて、関連分野のシミュレーション活動の重要性が増している。光源はすべてのリソグラフィ技術のキー・ドライバーである。しかしながら、これらの開発に関連するモデリング、とりわけ EUV 源の開発に関連するモデリングには、特に大量生産のための光源と言う点に関して、特別な注意が必要である。マスク作成の点では、欠陥検査でパターン形成への潜在的影響の決定に使われる。現在進行中の化学作用のある欠陥か、無い欠陥かの検査の議論にもモデリングは助けになる。

適切な実験によって、多様なリソグラフィ条件、2 次元、3 次元の多様な素子形状、大きさ、ピッチに対して、シミュレーションモデルの妥当性を確かめなければならない。最も効果的なモデリング手法を見つけるために、モデルの精度の評価の広範囲にわたるベンチマークが役に立つ。数値的精度の仕様とシミュレーション全体の不確かさは、歴史的にあいまいのままで、まだよく理解されていない。キャリブレーションと妥当性の検討を注意深く行うことにより、不確かさを許容してシミュレーション結果を使うことができる。

OPC, PSM, 偏光や斜入射照明などの光学的超解像度技術が多用されるので、プロセス開発、最適化のためのリソグラフィ・シミュレーションの重要性は増加するであろう。十分計画された実験と予測的なリソグラフィ・シミュレーションとを組み合わせることが、プロセス開発のコストを抑制と、プロセス開発サイクルの加速につながる。

次の数世代の技術のシミュレーションの重要な適用先は、(EUV vs. 193nm ダブル・パターンニング/液浸露光 vs. 高屈折率の液浸1回露光のような) 多様なリソグラフィの選択肢のトレードオフを商業的な観点からから評価することである。次世代リソグラフィ技術のために、EUV、直描型電子線リソグラフィ、マスクレスリソグラフィ (ML2: Maskless Lithography)、ナノプリント技術に対する信頼のできるシミュレーション・ツールが必要である。

一般にシミュレーションのコンピュータに対する要求はより挑戦的なものになってきている。解像度以下の形状を含んだパターンのさらなる微細化とさらなる高精度への要求のためにいっそう優れた解決法のアルゴリズムが必要となり、メモリと CPU 時間が非常に増加する。シミュレーションステップとアルゴリズムにとって結果を出すまでの時間が決定的となるので、64Bit マシンが必要になり、高性能コンピュータ・クラスター上での並列処理で支援すべきである。

フロントエンド・プロセスモデリング

フロントエンド・プロセスモデリングでは、トランジスタを形成するためのメタライゼーションまでの製造工程に対する物理的効果のシミュレーションを取り扱う。但し、ここではリソグラフィのシミュレーションは別の節で議論することとする(前節を参照)。フロントエンド・プロセスモデリングは、トランジスタ製造を理解し最適化するために重要であり、伝統的なプレーナ型デバイスのスケール限界を広げ、代替デバイス構造に対するプロセスに関する問題を評価することに用いられる。トランジスタのスケールに伴う寸法の縮小や、スケールアップの障害を克服するために考案される新材料の増加により、モデリングの必要性が高まっている。その結果、より高精度なモデルが要求されるばかりではなく、従来のテクノロジーノードで二次的効果と考えられていた効果を考慮するためのモデルや、新規材料やその物性、更にドーピング技術に対するモデルが、新しいシミュレーションフローの導入と共に必要になっている。

サーマルバジレットの減少にともない、不純物と点欠陥の横方向の分布が正確にモデル化されることが必要となる。例えば狭いトレンチの側面へのドーピングや、ソース・ドレインや LDD、ポケットを含むチャネルドーピングなどのように、解析的モデルでは不十分な場合には、明らかにモンテカルロイオン注入モデルが必要になる。解析モデルは、ドーパントの横方向分布やダメージ分布を精密化する必要があるだろう。イオン注入過程、特に、複数主のイオンを注入するカクテルイオン注入やアニール工程における Si 中或いは Si に関連する物質中での欠陥の挙動を扱えるように拡張されたモデルが必要となる。イオン注入エネルギーの範囲は、界面の影響が重要になる超低エネルギー (1keV 以下) から高エネルギー (数 MeV) にわたる。固相拡散やプラズマ・イマージョン・イオン注入 (PIII) のような代替ドーピング技術のモデルに立脚した評価も重要になるであろう。

ドーパントの拡散の最小化と、ドーパントの十分な活性化(最大化)とのトレードオフを最適化することが、浅い拡散層の形成とデバイスのアクセス抵抗の最小化に対して重要となる。従って、これに関連するメカニズムのより良い物理的理解は技術開発にとって重要であり、同時に、物理的なモデリングに関する種々の研究に対する前提条件でもある。ドーパントの拡散と活性化に関しては、キネティックモンテカルロ法が今後有望ではあるが、連続体モデルがプロセスシミュレータに於いて主要なモデルでありつづけるであろう。プレアモルファス化の影響も含め、幅広い不純物種およびサーマルバジレットの軽減に対応することが出来るように、継続的にこれらの連続体モデルを改善していく必要がある。点欠陥に基づく拡散モデルについては、これまでの初期増速拡散効果を捉えることに加え、特に、クラスタリング現象と活性化現象におけるドーパントと欠陥の振る舞いに関して大幅に改善する必要があるだろう。RTA の昇降温レートは一つの重要なファクターで、拡散モデルおよび活性化モデルにおけるそれらの取り扱い方を改善する必要がある。これまでの電気炉または RTA と異なった実験条件、特にフラッシュアニールやミリ秒のレーザーアニールを考慮したモデルも必要である。界面の効果、特にシリコン酸化膜でない物質の界面の効果がますます重要になる。ここで、偏析と不純物トラップは、N,C,F,Ge そして金属不純物やノックオンされた酸素などの影響を考慮し、high- κ 材料層を含め、全ての誘電体に対してモデル化される必要がある。さらに、CMOS テクノロジー改善のロードマップにおいて機械的応力技術が重要になるので、拡散、クラスタリング現象、活性化のすべてのモデルは、機械的応力の影響を個別的に考慮しなければならない。

先端プロセスモデルでは、準安定なドーパントの活性化(固溶限以上)のモデリングが必要である。これらは、フロントエンドで減少したサーマルバジレットの影響や、それに続くバックエンド・プロセスでの不活性化を考慮した振る舞いを含めるべきである。表面と界面での拡散のモデルも必要となるであろう。これらはシリコン酸化膜や新しいゲート絶縁物質との相互作用を含む必要がある。真性の機械的応力の有無に係わらず界面との相互作用が 1 次の相互作用となる極薄膜のボディ中(例えば SOI)と同様に、代替物質 (SiGe または SiGeC 等) 中の拡散/活性化のプロセスモデルもまた改善が必要である。

原子論的なプロセスモデルは、フロントエンド・プロセスの直接的なシミュレーション方法として、また連続体モデルの改善或いはキネティックモンテカルロ法の開発やパラメータ抽出の手段として重要な役割を果たし始めている。サーマルバジレットの減少に伴う振る舞いや、フッ素、炭素やゲルマニウムなどの他の不純物の役割を理解するため、ドーパントと欠陥との相互作用に対して *ab initio* 法を用いた詳細な知見が必要となるであろう。また、high- κ 絶縁体の堆積や界面特性のように、新しいプロセス、物質、そして界面の原子論的な研究が計算物性科学によって可能となるであろう。*ab initio* 計算から連続体までの階層化されたモデリングが開発され、主流の TCAD の流れに取り込まれる必要がある。

デバイス移動度の改善に対する機械的応力効果の技術がますます重要になってきているので、信頼性、転位の発生やドーパント拡散に影響する応力モデルの開発が必要である。物質の組成変動に起因する応力や不純物、クラスタ或いは拡張欠陥によって誘起される応力なども含め、応力は全工程の結果として決定されるので、応力はプロセスで使われる全温度領域にわたって考慮され、デバイスシミュレーション・ツールに渡されなければならない。シリサイド膜のような薄膜の成長には、コーナー部や微小な三次元構造中の応力が信頼

性に与える効果や、これらの構造での欠陥の発生の効果をふくめて、より良いモデルが必要である。

先端ゲート積層物に関し、EOT (Equivalent Oxide Thickness) の継続的なスケールアップを可能とするために、high- κ 絶縁膜の物性、基板との相互作用、メタルゲートとの特性／相互作用をモデリングすることは重要な要求の1つである。モデル化はゲート積層の幾何学的形状による堆積条件から、デバイスシミュレーションで用いる界面の欠陥密度のような構造的な特性や薄膜酸化膜の NBTI のような信頼性にかかわる問題にまで広がるべきである。

デポジションと CMP を含むエッチングに関する形状モデリングは、装置シミュレーションとリンクする必要がある。このリンクにより、ウェハ間やウェハ上の不均一性と同様に形状に与える装置設定の影響を決定できる。とりわけ、MOCVD や ALD のような新しいデポジション技術や、半導体および絶縁体のエピタキシャル成長に対して、より物理的な形状モデルへと最終的にこれはなるべきである。プレーナ型 MOS を超え、より複雑なデバイス構造および 3 次元集積法にむけた工業的動向があるので、これらのプロセスのモデリングはさらに重要になるであろう。

このようなフロントエンドの各モデリング領域に於いて、重要なステップにおける変動がパフォーマンスへ与える影響を見積もる方法を開発することが必要である。これらには、ドーパントのランダムな揺らぎによる不規則な効果、ウェハ面内のエッチング変動のようなシステムティックな効果が含まれる。近接効果やライン・エッジ・ラフネスのようなリソグラフィの変動のモデリングとこれらの効果は強く関連しており、よりよい DFM 戦略に必要とされる。

正確なプロセスモデルの決定、特に、次世代の極端に薄い幾何形状、薄膜やドーパントレベルを扱うツールに対して、測定方法および解析的手法を改善することは本質的な問題である。新規物質に対してはこれら新規物質界面の測定技術も必要な技術となる。

デバイスモデリング

一般にデバイスモデリングとは物質中のキャリア輸送を表すモデルや手法を指す。モデルは、ポアソンと連続方程式を解く簡単なドリフト拡散から、ボルツマン方程式を単純化した高次のモーメントを解くエネルギーバランスのように、より複雑で計算時間がかかるものまである。さらに、今日のデバイスの複雑な物理により、ボルツマン方程式を確率的に解くモンテカルロ・コードや、量子効果を考慮したシュレディンガーの解法が必要になっている。適切なモデルは、問題および要求される精度のレベルに依存するため、ユーザが選択することになる。近年の数値解析や物理学の大きな進歩にもかかわらず、増え続ける挑戦的な産業の要求に答えるには、デバイスの探究および最適化のために継続的な開発が必要である。デバイスモデリングはスケールアップの研究や技術の最適化のために使用される。したがって、今日のデバイス性能を正確に再現し、将来の限界を正確に予測する技術が必要である。以下は最も重要な課題のリストである。

ゲート・スタック — ゲート誘電膜が非常に薄くなったので、ゲートのトンネリング電流は今日の重要な設計項目である。ゲート・スタック全体(チャネル・誘電膜・電極)の包括的な量子力学的なモデリングは、数原子層の厚さの酸化膜や酸窒化膜の振る舞いを表わすために必要である。それは、誘電膜中の詳細なトンネリングと電荷輸送、複雑に積み重なった誘電体の実効的な誘電率、High- κ 膜に分布する界面準位やトラップを含むべきである。代替となる High- κ 膜の探索や評価を支援するために、基本的な材料のモデリングを推進すべきである。Fermi-level pinning や酸素欠損によるフラットバンドの変動やヒステリシス効果、しきい値および容量特性、チャネルの移動度や信頼性に注力すべきである。

応力と歪 — ソース・ドレインの異なる材料や積層やプロセスの熱履歴は、デバイス特性を決めるようになってきた応力や歪を引き起こす。全ての考えられるチャネル方向の電流を正確に予測するためには、任意のストレ

ス場についてフルテンサイル量の表現が必要である。全てのモデルはバンド構造(バンド端、実効的な状態密度、有効質量)の効果を含めるべきである。移動度への影響が最も重要である。それは、ストレス依存の飽和速度だけでなく、有効質量や運動量の緩和時間にも起因する異方性のピエゾ抵抗を含む。

コンタクト抵抗 — デバイスの寸法の縮小に伴い、全体のデバイスの抵抗(チャネル、S/D、コンタクト)に対するコンタクト抵抗の寄与は増え、電流電圧特性やトランスコンダクタンスを予測するシミュレーションにおいて重要な役割を果たすであろう。コンタクトとシート抵抗(高ドーパの活性化と移動度)の正確なモデリングは、正確なデバイス特性の表現に必要である。

3次元のモデリング — 特に狭いデバイス(例えば Flash や SRAM メモリセル)に対して、様々な空間の方向内の結び付けは、現実的な3次元構造と不純物分布を考慮した完全な3次元デバイスモデリングを必要とする。ゲート端のラフネスやゲート幅依存のような効果はデバイスの出力特性に大きな影響を与えるため、デバイスの最適化の研究に考慮される必要がある。これは、3次元シミュレーションは時より用途が限定されるために保留にするのではなく、日常のタスクで実際に必要であることを暗示している。したがって、3次元のツールが2次元と同様の複雑性と計算時間を要求されるため、プロセスのエミュレータやシミュレータと現実的に結びついているデバイスエディタ、メッシュのアルゴリズム、および行列解法を増強しなければならない。

不純物ばらつき — 継続的な寸法の縮小は他のものと異なった奇妙な問題を引き起こしている。体積が小さいために、注入される不純物の複雑で微妙なばらつきが、不純物濃度の無視できない差を大きくして、デバイス特性に大きな影響を与えるであろう。同様の効果はゲート酸化膜や UTB-SOI のシリコン膜厚だけでなく、トラップ濃度やポリのグレインサイズのばらつきからも起きる。そのようなばらつきはデバイスパラメータの分布を広げるため、最適化や量産化に向けての検討において考慮する必要がある。個々のデバイスは、なるべくならば3次元のランダムな不純物分布を持つデバイス(例えばモンテカルロ法によって作られる)で表現されなければならない。このことは高速な3次元シミュレータの必要性を再度強調している。正確な結果を用いた適切な表現は SRAM ノイズマージンなどの重要な性能評価のためには必須である。

RF — バイポーラに特化したモデル開発は、従来の CMOS スケーリングのモデルと同程度あるいはより必要にもかかわらず、遅れている。従って、RF、アナログ混載の CMOS、BiCMOS、バイポーラの回路設計の支援のために、特に小信号解析(AC)および大信号の振る舞い(過渡)の数値的な取り扱いを強化する必要がある。デバイス性能の解析、非定常効果の理解、RF 測定にかかる時間や費用の削減、縮小化したデバイスの予測精度の良いデータの提供のために、効率的なツールが必要とされている。RF 回路を統合したデバイスシミュレーションまたはミックスド・モードシミュレーションは最適化が容易かもしれないが、効率的なアルゴリズムが必要になるであろう。回路シミュレーションとデバイスシミュレーションを結合するときには、個々のデバイスの計算は並列に行う必要があるため、ハードウェアとソフトウェアの支援が必要になる。使用されるモデルには、表面の量子化、ダイレクト・ゲート・トンネリング、ストレス効果のような DC で必要とされる全てのモデルが考慮されるべきであろう。内部雑音の包括的なモデリングには、sub-kHz から少なくとも 100GHz の範囲の重要な全内部雑音源を含めなければならない。柔軟な方法で輸送方程式に外部雑音源を包括的な表現で繋ぐために、基板雑音の相互作用の効率的なモデルが提供されなければならない。最後に、デバイスと回路の自己発熱と周波数依存の物理的パラメータを考慮する必要がある。

CMOS スケーリング — 新規のデバイス構造や究極の CMOS スケーリングには、より正確なデバイスモデリングが必要になる。数ナノのチャネル長やシリコン膜は、量子効果を含む部分的なバリスティック輸送モデルを使わないと、正確に表現することができない。幾つかの方法が提案されてきたが、それらは近似に対する厳密な検証が欠けていて、そして非常に計算に時間がかかる。より簡単な方法はセルフコンシステントなポアソン-シュレディンガー方程式を基本としており、もっと改良された方法は、Wigner 輸送方程式、Kadanoff-Baym 方程式、沢山の粒子を取り扱う量子的な Liouville 方程式を解くためにグリーン関数または Wigner 関数を利用す

る。MLDA(Modified Local Density Approximation)や Density Gradient Model のための矛盾のない移動度モデルが特に重要である。輸送すなわちストレスとチャンネルの方向、主流になっている設計されたデバイス、新規のゲートの積層構造と共に、これらの話題は重要になる。対応する上記段落を参照。

新規デバイス — 近年、様々な CMOS 互換の新しいデバイス構造が提案されている。短チャンネル効果を抑える有望な方法としては薄膜を利用することである。このため、完全空乏、極薄膜の SOI、マルチゲート FET、様々な形状のダブルゲートやゲートで覆う構造が研究されている。これらの構造には上で述べた部分的なバリスティックモデルと量子輸送モデルが、任意のチャンネル方向の包括的な移動度モデルと同様に不可欠である。さらに研究されているデバイスの特徴としては、ノンプレーナや S/D せり上げ構造、歪 Si、SiGe、Ge、さらに hybrid 基板を用いたデバイスが含まれる。このためには、ストレスおよび歪効果の正確で包括的な表現が必要条件になる。同じことが新規のゲート積層構造に当てはまる。再度、対応する段落を参照する。自己発熱は SOI ウェハ上に形成された素子で特に重要となる。新規のメモリ技術は、磁性体、常磁性体、強誘電体材料を使うため、それらは、スピン、磁気相互作用および電気的な極性化現象のモデリングが必要である。相変化メモリはアモルファス材料と相移行(結晶の核形成と成長)の輸送モデルが必要となる。

その他 — 基板電流およびホットキャリア注入効果のモデリングは最近の十年間で進歩した。微視的なシミュレータの適用により、ホットキャリアの生成や挙動を詳細に理解することができた。しかしながら、誘電膜の薄膜化のために微細化したデバイスは、特にトラップおよびデ・トラップのメカニズム、誘電膜中の輸送に関して、さらなる開発が必要である。さらに、不揮発性メモリの SONOS(Silicon-Oxide-Nitride-Oxide-Silicon)に対しては誘電膜中の電荷トラップとデ・トラップ及び輸送モデルのまだ大きな改良が必要である。要求の高い素子劣化と信頼性の解析は、例えば水素または金属イオンの移動、トラップ準位の生成/変化、ストレスに起因するボイド生成など、デバイス動作中の構造変化を考慮した同様のモデルに頼っている。定常状態および過渡状態、あるいは ESD の信頼性の予測は、技術的な微細化の検討において重要となってきた。残念ながら、後処理か経験的なモデルしか使えない。低消費電力のデバイスについては、バンド間とトラップアシストによる接合リーク電流がプロセスウィンドウをかなり狭めている。したがって、それらのパラメータだけでなく既存のモデルを見直す必要がある。量産化のための設計の課題に取り組むには、デバイス構造の変動(不純物、ゲート線幅など)を表現したものを開発する必要がある、それを回路設計に接続する必要がある。大きなデバイス領域のシミュレーション技術の研究が必要である。パワーアンプあるいは光学デバイスは、大きなインターコネクトシステムによって、通常は多くのトランジスタセルが相互に接続されている。デバイスパラメータの分布定数的な効果の影響は、特に熱や電磁気効果が効くときに、上手く理解されてなくモデル化もされていない。大信号の振る舞いは要求されるが、従来の TCAD はシステム全体の離散化に必要なグリッド数のために使えない。

インターコネクト(INTERCONNECTS)と集積受動素子(INTEGRATED PASSIVES)モデリング

インターコネクトは最大クロック周波数が 1.5 年ごとに 2 倍の割合で伸びるムーアの法則の律速要因として、益々重要な役割を演じている。このことは、インターコネクト電気特性と信頼性の両方に関係しており、電氣的、機械的、熱的に結合させたシミュレーションを必要としている。信頼性に関しては、エレクトロマイグレーションやストレスによるボイドや突起発生が最も重要なトピックスである。電気特性と信頼性は共に、たとえば、Cu 粒界やポーラスな low- κ 材料を含む、プロセス条件、材料組成に顕著に影響される。デバイス特性と信頼性は、設計に顕著に依存しているが、この他に、寸法や穴断面の縮小が進むと共に、実プロセスでは、設計構造からずれることが重要な依存要因として上げられる。フロントエンド技術と同じように、微細加工のモデリングと、インターコネクトの性能および信頼性のモデリングとが、共に要求されている。最初の微細加工面でのモデリングは他の章節で扱われているため、この節では、後者のモデリングについて述べる。

素子の動作速度が数 GHz 領域に高まり、インターコネクト構造のシステムの複雑さが次々と増加するに従って、高精度でよりよい効率のソフトウェア・ツールが必要になっている。複雑なインターコネクト構造の電氣的、受動素子特性を予測出来るようになることは、引き続き挑戦すべき技術課題である。プロセスの出来と IC レベ

ルの測定結果とを結び付け、信頼性の問題と設計の不具合との関係を明確にし、そして、代替インターコネクト構造を容易に探した設計者の能力を持つソフトウェア・ツールや方式が必要となっている。

幾つかの解決策候補はあるが、これらの解決策は、設計フローの日々の使用に耐えるだけの最適なものとして更に発展させる必要がある。電気特性のモデリング課題の先端的解決策は、次の 2 つのカテゴリーのものがある。

- 第1カテゴリーとして、半導体基板が低抵抗の場合、電磁氣的応答は、線形応答に収まるはずである。その場合、この基板は伝導度と誘電率とで特性が決まる伝導性媒体として扱うことが出来る。電磁波(full wave)アプローチに基づいた数値モデリングアプローチが使用可能である。モーメント法(MoM)や、部分要素・等価回路(PEEC)法が、電磁氣的環境をシミュレートする有効なスキームとして追究されてきた。最近では、有限差分時間領域法が高周波領域のインターコネクトと集積受動素子の計算スキームとして追究されている。
- 第2のカテゴリーは、基板を半導体として忠実に取り扱うものである。その際、半導体基板は、電磁界に対し非線形に応答する。更に、電界のソースの応答がセルフコンシステントであることに呼応して、二次の非線形結合が生じる。最近では、半導体デバイスシミュレータの方程式にマクスウェル方程式をセルフコンシストに考慮したアプローチがとられている。この解が使えるものであることは、示されているが、これを実用的なツールに変えるには、未だ一連の発展が必要である。指摘されている疑問点は、「如何にして、(半)自動的に等価回路表現を抽出出来るかである。すなわち、ネットリストや SPICE パラメータ、あるいは S パラメータを、電磁波(full wave)解から、よりよく抽出できるか？」である。展開次数低減(Reduced-order)モデリング技術は、更に発展、開拓を行う価値のある高い可能性を持っている。

全電磁波(All full-wave)解析は計算機上厳しい困難さがある。電磁波的振る舞いの典型的シミュレーションは、定常解に比べ、約 10 倍以上の節点変数の計算が必要である。動的特性解析のためには、磁界のベクトルポテンシャルを含める必要がある。周波数依存性を扱うためには、変数の位相と振幅の両方を保存する必要がある。従って、速い線型ソルバーが電磁波(full wave)解析を設計フローに実装するにあたっての鍵になっている。

高周波でのこのような効果を十分詳しく理解する要求があることに加え、デバイスに集積した受動素子をシミュレートすることがますます必要となってきた。受動素子の集積は、生産コスト削減に大きく寄与するからである。これらの集積受動素子の特性を計算で把握できるためには、これらの素子をより実際に近い環境でシミュレートする必要がある。たとえば、渦巻き型インダクタの特性係数(qファクター)を決めるには、基板中に流れる誘導電流のオーミック抵抗によるエネルギー消費がどれだけかを知らないといけない。実際、ここで扱っていることは、将来の IC 設計に一般的トレンドとなるものである。すなわち、集積受動素子と半導体基板層の系が、電磁気パルスに極めて非線形に応答する電磁氣的特性をシミュレート出来ることが非常に強く望まれている。

優先度の高いものは、熱的、機械的な性質が結びついた多層薄膜の特性である。薄膜の構造、組成依存特性は、信頼性への影響に関連してどうしても把握が必要なものである。これらの薄膜の機械的な性質、すなわち、材料の疲労化、割れの発生、応力起因の空洞化は同じく信頼特性に影響する。熱サイクルが引き金となって、予測できない割れが発生することがある。これらの影響をより効果的に調べるには、実験手段だけでなく、シミュレーション・ツールが必要である。インターコネクト・シミュレーションが装置／最小寸法スケールのシミュレーションと相互に果たす役割は、ますます重要である。材料を低・誘電率物質へ変更することは、低・熱伝導率物質に変更することであり、インターコネクト設計技術の進展に必要とされる一連のシミュレーション・ツール用に組み合わせた電氣的、熱的モデリングのニーズが極めて大きくなってきている。

これらに関して、特に数値計算ツールの機能向上のお蔭で、モデリングの関心が高まっている。しかし、新しい物理現象をシミュレーションに取り込むことが要求されるかもしれない。

- low- κ 膜の導入形成後は、膜剥がれの発生が劇的に増加した。界面位置での微小亀裂は、通常使われる応力ベースの解析では最早、説明出来ない傾向にある。連続体での力学法則が有効でなく、エネルギーベースの破壊機構を表現できるツールが開発されなければならない。幾つかの新しい不良指数が公表されているが、沢山の不明事項、仮定が未だに疑問視されている。更に、実際問題として、インターコネクト構造最適化の枠内で要求される、定性および定量的シミュレーションがなされていない。
- テスト構造の最悪条件を定義し、デバイスの実寿命条件に対応する実験的信頼性データを保証する要求に関しては、エレクトロマイグレーションのシミュレーションが出来なければならない。微細化するに従い、界面の影響が増加する。従って、バルクと界面の機構は共に考慮され、キャリブレーションが成されなければならない。
- 熱的かつ機械的起因の応力においても、通常用いられる物質モデリングによるアプローチが、最小寸法の減少により有効でなくなる。例えば、銅配線の微細構造効果や、低誘電率膜の空孔発生は、支配的な要因である。多岐のスケールと多彩な物理レベルのシミュレーションがこれらのスケールにわたって実行されなければならない。

インターコネクト性能のシミュレーションは、問題が広く次の4点に渡り、とりわけ難しくなっている。

1. 電氣的、熱および機械的に強く結合したシミュレーションが必要である。
2. 最終目標が少なくともチップレベルの性能と信頼性である。しかし、最小寸法スケールの縮小とアスペクト比の上昇に従い、理想的なインターコネクト形状からずれていくプロセス事情によって、この目標がますます影響を受けるようになっている。そして、問題は広く、数Åから mm までの大きさにわたって広がっている。
3. 上記した物理的影響とともに最小寸法スケールの限界事情が実設計性能にますます影響を及ぼしており、いろいろなレベルのインターコネクト・シミュレーションが設計と双方向に結合されなければならない。
4. インターコネクトとパッケージの同時シミュレーションがますます重要である。

これらの問題事項を解決するには、階層的なシミュレーション手法とツールの開発が必須である。

回路素子モデリング

回路モデリングにおいて大事な課題は、量的にも強度的にも増加しているデバイスと他のデバイス、レイアウト、密度、寄生量等との相互作用を考慮して、デバイスと回路を同時に並行して開発することを実現することである。

寄生効果を含んだ回路動作の正確なモデリングは、1回目で正しい設計をするために非常に重要である。プロセス/デバイスシミュレーションは、新しい技術の立ち上げ時にこの情報抽出をサポートすることが出来る。物質の特性を電子輸送と関連付けているモデルは、将来のテクノロジーの予測性を大幅に高める。モデルは、生産性の可能性に指針を与える統計的相互をも含んで、統計やプロセス変動も考慮しなければならない。願わくは、このような統計モデルは、プロセスの限定よりずっと前に実用可能であることである。これはテクノロジーがリリースされる前にチップ設計を可能にし、テクノロジーが限定されるとすぐに急激に生産性を上げることを可能にする。

回路シミュレーションのための回路要素モデルは、チップ設計の生産性の鍵をにぎる。Design Chapter に多くのチャレンジがまとめられている。たとえばクロック周波数の増加、印加電圧の減少、弱反転領域の重要性増加、指数関数的な回路の複雑性増加などが挙げられる。モデルの精度と CPU 効率は2つの相反する要求なので、必然的に階層的なモデルへと移行していく。最も高精度のモデルは小規模回路に用いられる。精度を

犠牲にしたモデルは大規模回路設計のために開発される。同様にこの両極性は、デバイスレベルやブロックレベルといった様々の構造レベルにおけるモデルの階級を意味する。もちろん大規模回路を階層的にシミュレーションすることなく、すべて正確なモデルを使ってシミュレーションすることも可能である。

歴史的に、アナログ回路シミュレーションの要求が回路要素モデルの開発を牽引してきた。その後アナログとデジタル設計者の両方がこれらのモデルを使ってきた。チップ当たりのアナログやデジタルデバイス数の増加は、高速なモデルであると同時にシミュレーション・ツールの収束性の向上が必要とされる。デバイスモデルは多くのより詳細な効果を含む。直列抵抗、インダクタンス、キャパシタンスのようなパラシティック効果や量子効果、リーク、ノイズ、ひずみ、非準静的(non-quasi-static)効果などがより重要になってきている。それぞれのモデルにとっては、ロバストで正確なパラメータ抽出アルゴリズムが更に本質的になってきている。

トレンドは物理に基づく表面ポテンシャルモデリングに移行している。このようなモデリングは同時に、デバイスシミュレーションから回路シミュレーションへの簡単な連結を提供する。またモデルパラメータ数を減らすことができ、結果的に高速のパラメータ抽出やばらつきや統計の考慮を容易にする。このことは、デジタル回路、たとえばSRAMにおけるスタティック・ノイズマージンなどに重要である。しかしながら、正確な微分の記述が第一に重要となっているアナログやRF応用にはまだ容易ではない。このような応用では、しばしば弱反転領域で動作する。このような領域では、しきい値に基づくモデルは数学的なフィッティングに頼っている。いくつかの応用では、長チャネルデバイスが、非準静的(non-quasi-static)モデルが本質的となる高速領域で用いられる。アナログやRF応用では、ノイズやひずみのモデル化にもっと注意を払わないといけない。RF(ノイズ)測定を省略することができて、コンパクトモデルが追加のパラメータ抽出なしで予測可能なことが強く要求されている。

将来のCMOS世代におけるコンパクトモデルは新しい効果を正しくモデル化してなければならない。たとえば、移動度を上げたチャネルや高誘電率(high- κ)のゲートリーク電流などがあげられる。ノン・クラシックなCMOSデバイス(PIDS Chapter 参照)は、追加のモデリング・チャレンジを必要としてくる。多くのデバイスは、FD SOI-CMOS、FinFET、デュアルゲート FET などのようなチャネルは完全空乏になっている。こういう構造はより短いチャネルを可能にし、これは同時によりバリスティック効果を意味する。更に、2つのチャネルがお互いに接近(10nm)しているので、量子力学的な相互作用をする。これは FinFET やデュアルゲート FET のようなマルチチャネルデバイスに重要である。小さいサイズのデバイスが与えられたら、このようなクラスのデバイスでは、ばらつきや統計分布が顕著になってくる。このような世代では局所的なばらつきはグローバルなばらつきより重要になってくる。これは、回路シミュレーションで扱われる統計分布や静的な統計的タイミング解析などの方法に影響を及ぼす。回路シミュレーションで計算時間的に有効な統計ばらつきの考慮を実現するためには、できればプロセスをフィックスする前に、局所なばらつきとグローバルなばらつきの矛盾のない扱いが必要となる。

ノン CMOS デバイスに対しては、モデリング・チャレンジを特定するのは難しい。PIDS Chapter のオプションの数はまだ多すぎて、膨大な労力をモデリング領域に膨大な労力を要求している。バイポーラーデバイスに対しては、モデルは SiGe(C)あるいは III-V マテリアルの極度の HBT に拡張されてくる。メモリに対しては、PIDS Chapter で述べられている、FRAM、MRAM、位相電荷のような新しい概念に対してモデルが必要である。

RF の回路モデリングは 100GHz まで拡張される。極端な RF 応用(77GHz の車載レーダー、60GHz WLAN)でも 30GHz—40GHz 応用でも(3次の高調波)ひずみが大事である。パラシティック要素を含んだ、アクティブ・デバイスやインダクタ、トランスミッションライン、バリキャップ、それにインターコネクトなどのパッシブ・デバイスのスケーラブルなモデルが、すぐれた RF 回路モデリングでは非常に重要である。いくつかの(アクティブあるいはパッシブ)大きな要素には非準静的(non-quasi-static)効果が顕著で、これは高精度にモデル化されていないといけない。異種の集積化をサポートするには、CAD ツールが異なるテクノロジーで、異なるシミュレーションと応用分野(RF、デジタル、それにミックスドシグナル)を扱うことができるように高める必要がある。これらの

ツールは回路モデル間、ビルディングブロックモデル間、インターコネクト間、ダイ間、そしてパッケージ間のマルチ相互作用を扱うことが要求される。

回路遅延やクロストークへの影響の増大に伴って、インターコネクトモデルの重要性は増している。インターコネクト・ネットワークの複雑さや大きさは重要な挑戦を提示している。異なる応用は、クロストーク、マッチング、インダクティブ (3D 次元でも)、スキニング効果、それにサイズ効果 (Interconnect Chapter 参照) などの異なる効果のモデルを必要とする。階層的なインターコネクト・シミュレーション法は妥当な計算時間を保つために必要である。インダクタンスの考慮は高速クロック回路に重要である。RF 応用においては、回路動作の本質的部分となっている。トランスミッションラインやアンテナのようなインターコネクト・デバイスの完全波形記述は、高速や高周波数では当たり前となる。もしインターコネクトの完全波形記述がデバイスレベル以降で重要になるなら、複雑度を下げるアルゴリズムに真剣な努力が払われなければならない。

集積密度の増加は近隣のデバイスとの相互作用を無視できなくなってくる。これは回路のレイアウトに基づいてモデル化されないといけない。フリンジング効果のような、3次元パラシティック効果もまた RF 回路特性に大きな影響を与える。大規模回路では、遠距離効果さえも大きな影響を与えてくる。例として、基板カップリング効果がある。たとえばデジタル・クロックシグナルがアナログや RF 部分に伝播してそれらの動作を妨害する。温度効果は SOI-based や薄膜デバイスで更に重要になってくる。従って自己発熱、相互発熱、冷却効果は重要になってくる。RF 応用には、大規模電磁界効果が重要になってくる。この効果は、デバイスレベル以降の回路レベルで考慮されないといけない。このためには、効果的なシミュレーション法が鍵となる。

予測可能な信頼性シミュレーションは、設計が厳しい信頼性限界に近づいてくると重要になってくる。ESD は将来のプロセスにおいて、信頼性を下げる一番重たい問題の一つとなっている。デバイスレベルのコンパクトモデルに基づいた予測可能な回路レベル・シミュレーションが、ESD に対して安全なチップ設計を保障するためには必須である。加えて、インターコネクト・レイアウトからのエレクトロマイグレーションの予測は、スーパー・ワーストケース・マージンを避けるためには、改善される必要がある。酸化膜の信頼性、ホットキャリア効果、それに EMC 適合性などのシミュレーションは、いくつかの場合には適応に限界があると予想される。予測可能なモデルは、物質の物理を判定するためのすぐれた解を必要とする。

パッケージ・シミュレーション

IC パッケージの共・設計(co-design)はシステムレベルで考えることが益々重要になってきている横断的重要事項である。以前パッケージ設計者は、ダイ上に I/O パッドを配置することや PCB (プリント回路基板) 上の I/O 結線を配置することを含むダイ footprint 配線の方法に従事していた。この方法では増えつつあるピン数や大きくなる全体の (パッケージ) サイズに対応できない。またパッケージは高価になり、最悪の場合製造できないという問題を抱える。配線出来、および製造出来ることの上に更に、シグナル・インテグリティ(signal integrity)、パワー、温度、メカニカル・インテグリティ(mechanical integrity) に関しての要求に合致しなければならない。要求されている電氣的、熱的、メカニカル・シミュレーションはダイとシステムを考慮した上で実行しなければならないが、これは共・設計(co-design)ツールとの対話によって可能になる。優れた共・設計(co-design)ツールは、パッケージとダイのデータベースとを直接、相互に関連させ、両者間の相関結果を対比することが可能である。

現在の一般的なパッケージモデルは、IBIS、SPEF、または SPICE のような集中定数モデルである。これらは、モデルが単純で、シミュレーション・スピードの利点があることから今後も使われるであろう。このような単純モデリングは、上手くパッケージ特性を表す改良が必要である。SPEF モデルは、短い結線の自己インダクタンスが重要で、且つ大電流ループが無い相互インダクタンスが無視できる場合に有効である。比較的長い配線、長い電流ループ、配線ボンドを持つパッケージについては、相互インダクタンスが重要になる。IBIS モデルは配線交差結合を良く記述するが、パッケージ上の全てのダイピンは一般的に互いにショートしていて、これはシミュレーション能力を大きく制限する。どちらにしても両方法は、電源、グラウンドを上手く取り扱うことができない。

唯一 SPICE は電源、グラウンドのより複雑なモデルを構築することができるが、モデルは扱い難く遅い傾向がある。

パッケージの電源、グラウンド構造のモデリングは非常に重要である。電流ボトルネック、ノイズ、同時スイッチング問題は、熱解析に対し難しい影響がある。十分なデカップル容量が、動作保証用に正しく配置されているか、コストやパッケージサイズに逆行するほど過剰に追加されているか、等の見極めが難しい。

離散的な集中定数要素ベースのモデルを超えて、高精度な分布定数型伝送線路モデルに移行することは明らかに必要とされている。単純なパッケージ構造では非常に限られた電源、グラウンド構造しかないが、典型的な BGA (ボール・グリッド・アレイ) パッケージでは、配線がグラウンド面を横切る構造はわずか半分程度である。より複雑なフリップチップ設計では、様々なレイヤーの上に多くのグラウンド、電源面が存在する。パッケージを使い回すことになれば、一旦作られたパッケージモデルは多くの顧客に渡ることになる。この際、使いやすいパッケージモデル・フォーマットと簡単に流通するシステムを共有化する必要がある。reduced-order モデルのような代替モデリング方法は調査する必要がある。IC パッケージと PCB システム間の複雑さや相互作用をモデルに取り込むことは、様々なコンポーネントモデルを様々な実装出来るモジュール化のアプローチが、特に SIP(system in package) や SOC(system on chip) ソリューションを考慮する際、必要と言える。デジタル、アナログ、RF そして、MEMS (micro-electro-mechanical systems)、光学製品までも同時に考慮する際は、同様のモデルが必要であろう。インターコネクトアセンブリーとパッケージの章を参照。

シミュレーションモデルを作るということは数値計算方法に対して新しい課題を生み出すことになる。パッケージ形状解析は完全に 3 次元の電磁界ソルバーを選び出すことに他ならない。フリップチップパッケージでは多くの配線層と電源、グラウンド構造が存在するので、たった一本の信号のネットの抽出でも非常に労力が必要である。MCM (multi-chip-module) では、非常に大きな最小セットの抽出が合わせて必要な沢山のネットを組み合わせた長い配線路が存在する。何れのケースにしても、解析領域を小片に分割する問題が、電源/グラウンドのパラメータ抽出においてフリッジ成分の見かけ上の劣化を引き起こす。フルパッケージでの抽出ができ、解析領域が可変な電磁場ソルバー・エンジンの開発が問題を本質的に解決するものである。解析領域可変性は並列クラスタを導入することで達成できるであろう。同様に時間とメモリ消費の効率化も更に改善する必要がある。

熱伝導度の低い low- κ 誘電体の導入は熱解析の必要性が増している。IC のどんどん大きくなる発生熱量はパッケージに流れる。その際、そのより多くの熱を逃がし、パッケージがシステムに、その熱を流すようにすることは大問題である。これは、シミュレーション解析を容易にする共・設計(co-design) ツールが必要ということを示している。更にグラウンドを通して流れる電流とパワー構造を理解することが必要である。なぜなら電流のボトルネックは、高温スポットの問題になるからである。

積層を通して導入される真性および熱的な機械的応力(ストレス)は、その特性を把握してモデル化しなければならない。low- κ 誘電体膜はしばしば機械的ストレス(mechanical integrity)を削減しているが、一方で同時に熱応力(ストレス)がますます厳しくなっている。そのストレスは、ダイや、グラウンドと電源面中の電流ボトルネックによって引き起こされる熱の不均一や、熱伝導率の低下により、特に大きくなる。

ストレス・マイグレーションやボイド、薄膜内の割れ、疲労を予測するソフトウェア・ツールが必要とされる。メカニカル・インテグリティ(mechanical integrity)の意味においても、IC パッケージの共・設計(co-design)は、low- κ デバイスのモデリングは、新しい流れのものである。low- κ デバイスのパッケージが確実に出来るようにするには、IC 配線構造へ強度を保つ構造が追加され、低応力パッケージ構造が選ばれることになる。一方、パッケージすることは、low- κ バックエンド形成膜のインテグリティ(integrity)の要求事項を明確にすることである。この意味で、IC 設計とファブプロセスは、パッケージの要求に合う low- κ バックエンド形成膜のインテグリティ(integrity)が最適化なように行われる。一方で、low- κ バックエンド形成膜の機械的強度は、パッケージ応力

の最適化を求めている。この観点から、パッケージ技術者は **low- κ** デバイスに適合する低応力のパッケージ設計に取り組んでいる。バックエンド形成膜におけるパッケージ起因の応力をモデル化する新しい方法が、この共・設計(co-design)取り組みにおいて、欠くことのできないものである。

材料モデリング

新しい材料の開発に伴って、薄膜やバルク材料の物理的特性や、これ等によるデバイスや集積回路の電気的、機械的、熱的な特性への影響は、半導体技術のあらゆる分野でますます重要になっている。現状で使われている材料に物理的な限界が来ていることにより、この傾向にはますます拍車がかけている。半導体ロードマップに示されている大きな障壁を乗り越えるための解決策として、種々の代替材料が提案されている。多層薄膜の物理的特性と、デバイスや集積回路の電気的、熱的そして信頼性の観点から見た特性との相互関係についての知見を材料モデリングから得ることにより、いくつもの複雑な実験的な評価をすることなく、材料の選択をすることが可能となる。

経験的なものであれ基本原理からのものであれ、材料モデリングはこの知見を得るために必要である。しかし短期的に見ると、例えば短期的挑戦課題である“究極のナノスケール CMOS についてのシミュレーション能力”では、基本原理からの材料モデリングでは能力不足であり、現象論的なモデルがしばしば必要とされる。従って長期的には、第一原理に基づくシミュレーションが不可欠である。中間領域(バルクと原子スケールの中間領域)の材料特性の開発において、とくにこの事が強調されるべきである。

装置、プロセス、デバイス、実装、パターンニング、配線でのそれぞれのモデリング・シミュレーションは、材料に関しては物性値が入力として必要とされる。これ等の物性値は、未知であるか、近似値でしかない場合が多い。実測値か、もし実測が困難であれば第一原理から計算された物性値の両方からなる、データベースが必要である。この種のデータベースの効率的な整備と改良のためには、材料モデリングとして以下の問題がある。

- データベースに求められる物性値は膨大であり、しかもますます増加して行くので、これを計算するには計算技術の面においても組織の面においても努力が必要である。従って、業務を効率的にし、そして技術要求の変化にすばやく対応するためにも、計算手法は大幅に自動化されるべきである。
- 材料モデリングの多くの分野での第一の課題は、シュレディンガー方程式の近似解である第一原理計算では実測との間に差異を生じており、計算結果の再調整や近似の有効性の評価が必要なことである。二番目の課題は、近似結果の評価を出切るだけ少なくしつつ、いかにして必要な物性値を抽出するかである。この二つの課題は、同一のシミュレーション・ツールで追求されることがしばしばある。この二つの課題に対して、シミュレーション・ツールの機能をモジュール化する事により、より高速にそれぞれの課題に対して独立に、開発と近似解の改良が可能となる。
- デバイスでの活性な領域が、物理チャンネル長で数十ナノメートル、**High- κ** 誘電体の実効酸化膜厚でナノメートルと微細化するに伴い、原子的な扱いから出発して連続体としての結果を得る材料モデリングとそのシミュレーション・ツールは極めて重要となる。長期的には、相互に関連する材料モデリングの手法は、それぞれの分野に対してモデリング・ツールとして統合されるべきである。個々の材料モデリング・ツールは、この統合を意識して準備されるべきである。

一方で、以下のような個別の課題について、それぞれの材料モデリングが要求される。

- 改良されたレジスト(特に化学増幅レジスト)や新しいマスク作成、EUVリソグラフィで用いられる多層反射膜において、材料モデルが必要である。レジストの構造における分子サイズの影響は、LER (Line Edge Roughness) や LWR (Line Width Roughness) の決定において考慮される必要がある。
- 配線の動作特性や信頼性は、銅の微細構造やそれによる導電率の変化に大きく依存しており、これはシミュレーションにおいて考慮される必要がある。材料モデリングのもう一つの課題は、**Low- κ** 誘電体である。
- プロセスに関しては、イオン注入、拡散、活性化、薄膜内での相互拡散について、事前に調整されたパラメ

ータを含む計算コードが必要である。広い範囲でのドーパントと co-dopant[訳注:同時にイオン注入された複数種の不純物]に対応できる必要がある。

- デバイスシミュレーションで用いられるモデルの多くは、例えば半導体のバンド構造、誘電特性、擬弾性輸送特性を含めたチャンネル輸送特性、などに基いているので、材料モデリングと考えることもできる。寸法が微細化し、局所電場がより強くなり、大域的ならびに局所的な歪チャンネル(例として、歪下地 sSi、SiGe、Ge、III-V、SOI、歪 SOI、GeOI、他の新材料などが含まれる)を利用するようになる事に伴い、デバイスシミュレーションの大きな進展が必要である。

設計、製造、歩留まりのための TCAD

デバイスが 10nm 領域に微細化するのに伴い、ドーパント原子の個数が少ないことによる統計ばらつきあるいは製造パラメータの変動によるプロセスばらつきが今後益々重要になる。焦点の ITRS 章やそれらクロスカットテキストのいくつかで言及されているように、この可変性はさらなるデバイス微細化とロードマップ全体の進歩に挑戦する。イオン数 n の平方根の尺度で変動するトランジスタチャンネルにおけるドーパント分布に対して、逆に n の平方根に比例する尺度で相対誤差を生じ、その結果、その誤差は n が減少するにつれて増加する。同様な効果は、ゲートの CD(Critical Dimension)など額面上の値と同じように、絶対変動量を減少することは難しいという幾何学に当てはまる。そして今後、その額面上の値の百分率におけるばらつきは増加する。

モデリング・シミュレーションと、設計、PIDS、FEP、リソグラフィ、インターコネクト、ファクトリーインテグレーション、歩留まり向上、メソドロジーとの間のクロスカット内容で指摘があるように、TCAD はデバイス、ICs、システムの性能と信頼性におけるドーパント変動量とプロセスばらつきの最小化と評価に寄与しなければならない。鍵となる TCAD の利点は、明確なばらつきがコンピュータ上でシミュレーション実行され、その結果として性能や信頼性への影響を数値で容易に求められることである。それゆえ、十分に予測性のある物理モデルを備えている統合プロセス/デバイス/回路シミュレーションが、ばらつきによる物理チャンネル長、CD、しきい電圧、オフ電流、駆動電流、信号遅延など、それら値の幅を計算するのに利用される。このようなばらつきの影響を、実験的研究と比較することは、とても困難であり高価で、多くのケースで不可能である。なぜなら、パターンニングプロセスと結果として生じる幾何学形状、あるいはチャンネル領域のドーパント原子の数、あるいはこれらの正確な配置に対する明確なナノスケールのばらつきを正確に特徴付けする事、実験的に製造する事に本質的な問題があるためである。

そこには、設計、製造、歩留まり(Design, Manufacturing, and Yield:DMY)のための TCAD の応用と潜在的長所への大きな領域が存在する(DMY のための TCAD):

- レイアウト依存ストレス効果、リソグラフィにおける近接効果、または大規模 CMP 効果の調査を可能にするプロセス/デバイス混合シミュレーションの利用によるレイアウト依存デバイス性能の評価。
- プロセス変動によって引き起こるデバイス性能変化の感度解析。これは、目標スペック以内にデバイス性能のばらつきを抑えるために、許容できる明確なプロセスパラメータの最大ばらつきを識別できる。先端の利用可能な技術と比較して、これはデバイス仕様の許容範囲(たとえば、 V_{th} の幅 3σ など)が成し遂げられるかどうか、改善すべきプロセスはどれか、そして既に十分なのかどうかを判断できる。
- 与えられた技術とそのばらつきから出発して、TCAD は明らかなデバイスアーキテクチャーの名目上の性能だけでなく、それらの幅も評価できる。これは、使用されるデバイスアーキテクチャーのより良い評価ができる。つまり、更なる微細化と高い統合が進むにつれて、名目上の性能の改善を和らげ、その値自身は、最終的なデバイスあるいは IC の性能におけるばらつきを小さくするプロセスあるいはアーキテクチャーの選択よりもあまり重要でないかもしれない。
- プロセス技術とそれらのばらつき情報に基づく設計との間の橋渡しになる補充した標準 SPICE モデル。この補充は、設計における製造上のより正確な評価ができる。たとえば、グローバル変数やゲート長や V_{th} のような設計パラメータの許容値に変わって、技術要求が幾つかの領域で緩和され、それ以外で厳しくなるか

もしれない。それは設計を局所近傍に適合する事によって利用される技術を変更する事なしに、良い性能をもつ IC の製造、より小さなサイズ、あるいは高い信頼性を許す。

- ある装置によって導入されるばらつきに対するデバイスや IC への影響の評価。この評価はフィードフォワードやフィードバックワード装置制御に、装置メンテナンスがプロセスパラメータの変動やドリフトの制限を必要とされる時に、それらを解決する伝統的な先端プロセス制御(Advanced Process Control :APC)を補足する。
- 最後に、そのループを履行すること、その技術の既知ばらつきや変動による最終的な IC パラメータの幅を計算することである。この方法は、歩留まりに対して最も重要なプロセスの特定によって歩留まりにおけるプロセスばらつきの影響を評価でき、それらプロセスや設計の適切な変更により歩留まり向上もできる。

要約すると、“製造のための TCAD”“設計のための TCAD”“歩留まりのための TCAD”に対する大きな見通しを与えてくれる。

しかしながら、プロセスばらつきやドーパント変動の影響を研究するための TCAD の応用への潜在的長所は、TCAD によって幾つかの技術課題を行った場合にだけ獲得できる:

- まず、十分普遍性があり予測性のある物理モデルが利用可能であり、使用される TCAD ツールにおいて具体化されなければならない。これらモデルの一般的な要求はモデリングとシミュレーションの章の、他のセクションにおいて議論される。しかしながら、2つの様相は製造、設計、歩留まりのための TCAD に特定の意味をもつ。まず、主な目的は絶対的性能の数値の予測ではなく、ばらつきの影響の研究である。それゆえ、使用前のモデルのキャリブレーションが許容できる。しかしながら、性能値の大きさと同様に、その変化の傾向が予測されなければならないという意味において、基本 requirement はモデルが正しい傾向を取得できるということです。さらに、プロセスシミュレーション内の利用できるモデルでも、たとえば、パターニング段階に導入される LER (Line Edge Roughness)や LWR (Line Width Roughness)において、ばらつきの幾つかの種類はまだ研究できていない。
- 2 番目に、DMY のための TCAD に対して、プロセス/デバイス/回路シミュレーションの統合レベルは激的に改善されなければならない。たとえば、リソグラフィによるパターニング段階、ドーピングプロセスや各々の工程を含むエッチング、デポジション、CMP の 3 次元物理シミュレーションと、3 次元デバイスシミュレーションの統合は、商用シミュレータツールではまだ利用できない。さらに、鍵となる限定要因は平坦でない形状、特に時間に依存して変化する形状に対する順応メッシュである。DMY のための TCAD に対して、この統合への技術課題は飛躍的に増す。なぜなら、全ての数値誤差、たとえば空間や時間の離散化による数値誤差、異なるシミュレータモジュールにおける異なるメッシュ間の違いによる数値誤差は、最終的なデバイスあるいは IC ばらつきが数値ノイズによって有意に偽造されないように制御されなければならない。
- 最後に、DMY のための TCAD に対する最も困難な技術課題(Difficult Challenges)は、ナノメータスケールのマイクロスコピックプロセス/デバイスシミュレーションと、およそ 10 平方ミリメートルに数百万から数億個の要素が含まれる IC 設計の間の橋渡しである。3 次元プロセスシミュレーションはデバイスを記述するためには少なくとも数十万のメッシュ点を要求する。これをチップレベルに拡張すると、 10^{14} のメッシュ点が要求され、長期におけるシミュレーションの利用にとって実用的でない。結果として、適切な戦略とアルゴリズムは、ナノスケールプロセス/デバイスシミュレーションが小さなクリティカルエリアだけ実行され、それからばらつきを含む SPICE パラメータレベルの適当なデータが抽出され、そして設計に続いていくという階層的なシミュレーションに対して開発されなければならない。クリティカルエリアが設計データとレイアウトに基づいて特定されなければならないので、このリンクは双方向でなければならない。

数値計算技術

広義の TCAD 分野が対象とする物理現象は常に複雑化しているので、数値計算法とアルゴリズムはこれらを扱うために改良を必要としている。たとえばデバイスシミュレーションでは Boltzmann 方程式を一層精密に解

くことが要求されている。またドーパントの拡散や活性化に応力や点欠陥とその複合体の効果を反映させるためには、素子領域に対する連立偏微分方程式の本数を増やし続けねばならない。さらに、時間 and/or 距離についての特徴的スケールが互いに異なる物理プロセスが本質的に関連し合った現象に対しては、複数の方程式を一括して高精度に解く必要がある。たとえば点欠陥は熱処理工程の時間に比較して数桁速やかに拡散する。酸化炉中のガスのフロー、欠乏箇所、反応現象といった巨視的空間スケールの事象は、ディープサブミクロンスケールでの局所形状に影響されるコンタクトホールへの CVD 工程の基礎となっている。最近では更に要求内容が増加し、導体の表皮効果、近接効果、基板カップリング効果を考慮した電磁界解析が必要とされている。こうした例は、モデルの予測性能や精度に対する要求が増すために一層複雑なモデルがどのように必要となり、その結果、離散化手法や連立一次方程式の解法がどのように必要とされているかについての例である。

精度に対する要求が高まるにつれ、多くのモデリング分野で全く異なるレベルのアプローチが要求されている。たとえば解析的なイオン注入モデルの代わりにモンテカルロ法が、連続体での拡散方程式の代わりに原子レベルの手法が、光リソグラフィでは最新のマスク(たとえば位相シフトマスク、OPC)のシミュレーションに、古典的な薄膜マスク近似の代わりにマクスウェル方程式が用いられる。標準的アルゴリズムでは多くの場合には実現不可能な程の計算時間とメモリを必要とするため、こうした進んだ取り扱いをする場合、しばしば新しい、モデルに即した効率的アルゴリズムの開発を必要とする。その結果、他の科学分野で利用可能または開発中の最新の数値計算手法やアルゴリズムについて、いつもシミュレーションの様々な分野に応用する視点で検討し、このロードマップに記載し、技術開発を推進して影響が与えられるように利用されなくてはならない。

離散化格子生成技術は、偏微分方程式を正確かつ効率的に解くためにいつの重要だが、今日では素子構造が本質的に 3 次元的なため特に重要になっている。プロセス・シミュレーションで考慮すべき工程数が増加するにつれ、また特にプロセス・オプションを自動的に組み合わせたり、デバイスの電気特性にプロセスの詳細が及ぼす影響を調べる場合には、完全に自動化された離散格子発生技術が必要になる。その時の完全自動格子発生は、任意の素子形状や物理量の分布に対して、少なくとも今日のツールより 2 桁低い失敗確率という高い信頼性が必要である。それに加え、格子生成用のツールは重要となるどんな微妙なデバイス形状や装置形状、たとえば微細な形状や不純物分布の急峻な変化に対しても十分な分解能をもち、それらに適合して格子を細分化したり、逆に粗くしたりする際には、必要以上に計算時間が長くなってはならない。

非常に多くの工程やその条件の組み合わせのシミュレーションする場合、離散化格子発生に要する時間は特に重要な問題である。3 次元のシミュレーションでは、空間変数の勾配が変化したり、さらには対象の形状そのものが変形する事によって重大なトラブルが発生する。こうした問題には格子点の細分化や間引きの同時並行的処理や格子点の移動が必要となり、多くの場合には解くべき物理モデルを表す方程式の解に格子の形状や品質が適合する様に格子を生成することが要求される。

格子生成アルゴリズムは、格子点の除去や移動に起因した離散化誤差がシミュレーション結果に悪影響を及ぼさない様に保証しなくてはならない。特に、感度解析の場合には異なる条件でのシミュレーション結果の違いは用いた格子の違いで重大な影響を受けず、物理上の理由で生じる事を保証しなくてはならない。

この問題に対する確実な解決方法は、たとえば酸化工程のシミュレーションで用いる再構成後の格子に、再構成前の格子点や要素を出来るだけ多く適切に利用する事である。エッチング工程の様なデバイス構造の変化や多層構造を考慮すべき 3 次元のプロセスシミュレーションでは、構造の変化に追従する効率的で安定したアルゴリズムが必要とされている。こうしたアルゴリズムは素子構造に影響されずに使えて、適切な規模の格子を高い信頼度で発生出来なくてはならない。現時点では、用いられているどのアプローチも(たとえば表面三角分割、セル法、レベルセット法、ループ除去法)上記の関連課題を解決出来ていない。

以上に述べた離散化用格子点生成技術への要求内容は、最近増加している装置や材料のシミュレーション

要求のために更に拡張されている。こうした対象では対象形状が変形する事は殆どないが、時間と共に変化する空間変数に適合させて格子を生成する事は重要な課題である。大きな問題点は、シミュレーションで非常に異なる空間的・時間的スケールを同時に扱う場合に生じる：チップ規模の問題はナノからミクロンサイズを扱うがそれらに影響する製造装置の形状はセンチメートルサイズである。処理中のウエハ面と処理装置全体の主要形状との両方を表現しつつ、あまりに多数の格子点を使わずに適合する格子を発生する場合には自動メッシュ発生が特に重要になる。装置スケールと半導体素子の設計寸法スケールを同時に扱うシミュレーションでは、この問題は一層厳しくなる。現状のいくつかの計算機流体力学(CFD)ツールでは、シミュレーション対象の形状設定や格子発生に必要な情報の指定方法が複雑であるという問題を抱えている。

粒子ベースのモンテカルロ・コードは CPU そのものの処理速度を上げる事への要求だけでなく、少ない粒子を使って実用的な計算時間内にばらつきの少ない結果を得る手法を必要としている。より高い GFLOPS 値への要求の急速な高まりは、現状の進歩が続くとしてもハードウェアの進歩では一部しか満たされないであろう。計算負荷の大きい 3 次元シミュレーションの要求に応えるには、並列解法も必要になる。特にこの例の場合には分散型システム(たとえばワークステーションクラスタ)の利用を含む。これらのシステムは産業界で標準的であるが、どのような種類のシミュレーションが大規模共有メモリ計算機で可能なのか、どの程度の性能のシステムが産業および研究分野で利用可能なのかは厳密に調査する必要がある。

多くの場合、線形方程式は数値計算のボトルネックになっている。二重ループを有する反復解法によって、数百万もの代数方程式を連立させて解く事が必要とされている。たとえばドリフト拡散モデルと Maxwell 方程式を連立して解く場合にはそれぞれの格子点上に約 10 もの未知数が存在する事になる。方程式の結合によって生じた非線形性を処理する為に必要な多重反復処理の外側ループの計算量は、処理方法をインテリジェント化することで劇的に減らすことが可能になる。反復計算の結果を更新するための内部ループの計算量はリオーダーリング技術、最適化された係数行列の前処理、方程式系を分割する事でかなり改善される。TCAD 技術に応用するにはこれら全ての方法が開発され最適化される必要がある。

状況によって破綻することがない頑健な解法の開発には一層の研究が必要とされている：この問題は、実質的に反復計算の過程で局所的な最適解に陥らない様にすることを意味する。それまで得られた結果を破棄する事なく局所的な最適解から脱出する計算手法を開発することが必要である。シミュレーション・ツールを使って探索的な作業をする場合に、それに関して詳細な知識を利用者が持つことが必要である状況は暫く続くだろう。

利用しやすくするという観点から、その改善が望まれる。例えば、予め適切な計算手順を組み込まれているべきである。

パラメータ抽出に関して、効率が良く頑健なアルゴリズムの開発も同様に一層の研究が必要とされている。モデルのパラメータセットが十分キャリブレーションされていなければ、シミュレータはその実用的な価値を失ってしまうからである。しかしながら、キャリブレーションの仕事は、沢山のパラメータ数や、いわゆる局所最適解の問題のために、しばしば非常に時間がかかるものである。いくつかのアルゴリズム、たとえば GA (Genetic Algorithm) はもし計算効率が劇的に改善された場合には、この課題を解決出来る有望な候補かもしれない。更に、キャリブレーションに必要な実験結果が完全なセットとして常に得られるわけではない。不規則に測定された結果を補間する優れた手法もまた必要である。

インバースモデリングは、複雑な反応系での主反応経路の抽出や、2 次元的なドーパント分布の様な測定困難な対象からモデルパラメータに関する情報を引き出す事が出来る技術であり、継続的に取り組むべき技術課題である。インバースモデリングは、有限個の測定結果をもとに、有限個の計算結果を一致させる多数のパラメータを探し出さねばならないので、数学的な観点からすると非常に微妙な問題を内包する。つまり、多くの場合には満足できる解が得られない、または逆に、得られた解は同じ結果を与えるパラメータの無数の組み合わせの1つにすぎない、という事を意味する。しかしこの技術はモデリング・シミュレーションの新たな応用分野

を開く潜在能力がある。あるパラメータ値の組み合わせが他の組み合わせより優れたものであるかどうかについては議論の上で決める必要がある。この件についてはエントロピーの理論や情報理論に同様な問題を見いだす事が出来る。

数々のモデルで確率論的変動を効率よく計算することに対するブレイクスルーが必要である。これは、半導体素子の製造過程で発生する生後不可能な変動に起因する素子性能の変動をシミュレーションして評価する、あるいはそのどちらか一方を行うことへの根強い要求への対応を目的としている。モンテカルロ法のような伝統的な方法では変動する変数の数が増加するにつれて絶望的な試行回数が必要となる。このような目的に対して、確率偏微分方程式などのような新しいアルゴリズムを導入することが必要になるであろう。

解決策候補

モデリング・シミュレーションで用いるソフトウェア・ツールは半導体産業に広範に行き渡っている。これらのツールは効率向上のため、ますます日常的に使われつつある。この資料は、その有効性を高めて我々の将来の産業に影響を与えるために、明確な必要性を提示した。要求項目に関する記述では、半導体産業にとっての利益の視点に立ち、モデリング・シミュレーションに対する要求を解決できる可能性がある技術や、一般的な行動指針にも触れる。

- 技術分野の間を越えて切磋琢磨する事を増やす事は、もともと無関係だった各技術分野の専門知識を向上させるために極めて重要である。そして今、この資料の概説した技術要求を、共同して実現する必要がある。
- 明確化された技術的挑戦課題や要求課題に対する解決策に向けて、研究に必要な十分な資源が動員され効率的に運用されねばならない。ITRSに示された最上位の要求課題の定義に加え、産業界と大学や個々の研究所などの研究機関との対話を継続・強化して、このロードマップで詳細に記されている産業界の要求に向けて研究活動を導く必要がある。両者の対話には、モデリング・シミュレーションに必要な中・長期の研究活動を可能にし推進する事業化について、特に含めなくてはならない。中・長期の研究活動は一般には競争以前の領域の内容であるため優れた広範囲の共同作業といえる。産業界における間近な要求項目と資金に関する境界条件は、非常にしばしばこうした活動を強く減少させており、その結果、ロードマップの中・長期的な継続を危うくしている。2007年のITRSの準備中に、2005年のITRSで述べられていた幾つかの要求が、必要な研究開発に対して不十分な支援のために満たされなかったことが判明した。
- ソフトウェアハウス、研究機関、大学に対しては、彼らが広範囲で思量して使っているモデリングやシミュレーションのソフトウェアモジュールの一部をオープンにして、競争以前の領域での作業の重複回避をする事を強く推奨する。理想的なケースとして、供給者に依存しない、異なるソースからもたらされたツールを組み合わせた使用を可能にするような標準的なインターフェイスが存在すべきである。これによって研究開発機関は、サポートを受けられるソフトウェア環境と最初から互換性を保ちながら新たなモデル開発のように付加価値を生む内容に集中する事が可能になり、モデルの応用までの期間が短縮できる。いくつかの商用ツール間の独占的なモデルインターフェイスが存在すると研究機関と大学との協力関係が強く促進されると言うことが既に証明されており、同様にモデル開発と、それらが半導体産業の中で使用されることが強く促進される。インターフェイスの標準化は利益を大きく増大するであろう。半導体産業界はソフトウェア開発への投資を判断する際にこうした標準化を要求することにより、この点に関して中心的な役割を果たす事が出来る。
- 製造工程に関して極めて大きな役割を果たしている半導体製造装置メーカーと強調することで、製造装置と共に基本的な製造工程が販売されるだけでなく、装置とプロセスを表現する適切なシミュレーション・ツールもまた(または少なくとも十分確立されたモデルに対するその工程のパラメータ値が装置と一緒に)販売される事を目標にしなくてはならない。こうした事を実現して付加価値を高めるためには、十分に分析評価されて安定しているプロセスについて、十分な数のデータが利用可能な状態でなくてはならない。この活動

には装置メーカーと大学や独立研究機関との共同作業がとて重要である。全体としてのシミュレーション環境の互換性は通常はソフトベンダーによって提供されるが、それは標準化や、前述のオープンなインターフェイスや適切なソフトウェアベンダーの手で実現されねばならない。半導体産業にとっての製造装置やソフトに関する選択肢を制限しないために、標準的なインターフェイスまたは非排他的な共同作業が望まれる。IPR 問題に関しては手遅れにならないうちに解決されねばならない。

- モデリング・シミュレーションから得られる産業上の利点をさらに改善するために、モデリング・シミュレーション技術が与える影響の評価方法は改善されるべきである。どうすればシミュレーションが産業界の開発効率化(金銭的な価値)を最も効率的に支援出来るかを詳しく見分けるだけでなく、表 MS3 で既に見積もられている全体的なコスト効果に対するより見通しがよい詳細な内容を明確にする事を目標にすべきである。モデリング・シミュレーション技術から得られるコスト的な利益をもっと明確にする事は、その実現にとって必要となる研究開発活動に十分な資源を獲得しやすくする。

モデリング・シミュレーション分野に関して最も重要な技術開発要求は、製造装置モデルとプロセスモデルの統合、異なる工程間のモデルの統合、プロセスシミュレーションとデバイスシミュレーションの統合、デバイスシミュレーションと回路シミュレーションの統合、レイアウトレベルのシミュレーションと設計に関するシミュレーションであるだけでなく、異なるモデル階層間の統合でもある。一部のケースでは(伝統的な TCAD におけるプロセスとデバイスのシミュレータや設計ツールの様に)モデリング・シミュレーションのソフトは結合されているが、他の多くの場合には、ソフトウェアは分かれて存在している。もし新たな技術の開発時間を調べたなら、開発期間と費用の大部分は独立した個々のソフトウェアモジュールの開発ではなく、モジュールを統合する作業である事が判るだろう。モデリング・シミュレーションのある作業と次の作業を関連づける際に、ツールがよりうまく連携すべきであるという事は、これまで強く、またずっと要求され続けてきた。以下の事からこうした事に関する努力が必要とされている。

- 製造装置と素子形状に関する個々に独立したシミュレーション・ツール間のインターフェイスをとる事。一例として、フォトリソの露光特性を予測するリソグラフィ・シミュレーション・ツールと、プロセスマージンやプロセス感度計算のためにエッチング形状を予測するプラズマエッチングツール。
- 材料の分子構造をシミュレーションするツールと電気特性を予測するソフトとのインターフェイス。一例としてこうしたツールは high- κ 誘電体材料の開発に使えるであろう。将来のこの分野のソフトは積層ゲート構造を個々の要素としてではなくシステムとして扱うかもしれない。予測できない材料の相互作用や、もしこうであったらという分析をよりうまく行ったり、信頼性に関する効果を研究できる。
- パッケージ化した時の熱的、機械的、電気的なシミュレーションを統合して同時設計環境を実現する、チップレベルでの性能分析ツール。
- ツール間でのモデルパラメータ授受を実現する、必要な物理定数を含んだ、構造化された一連のデータ。
- デバイスシミュレータと、回路シミュレータ用コンパクトモデルを作り出すための頑健な手法と設計用のデバイスパラメータファイルとの結合。
- 一般論として、互いに密接に連携した形でシミュレーション・ツールの階層一たとえば表計算の階層から第一原理に基づくシミュレータの階層まで一が開発されるべきである。こうすれば、産業界は当面の課題でのシミュレーションに関する問題にとって最も適切なモデル表現のレベルを選択出来るようになる。解析作業が異なる階層での分析(例えば、プロセス変動が設計に与える影響)を必要としたときには、それらの間で適切で効率的なデータ授受が可能になる。そのような試みに対して増え続ける要求は、この Modeling & Simulation 章の中に 2005 年 ITRS で新たに導入された設計、製造、歩留のための TCAD に関する節と、2005 年の long-term の挑戦から short-term の挑戦に移動し、short-term の挑戦の幾つかに含まれている「回路パラメータのばらつきの予測」として明白に示されている。

現有能力の表と精度／計算速度要求

モモデリングとシミュレーションの分野は、広範な要求への様々なアプリケーションを含んでいる。たとえば、設計に密接につながる応用として、現象論的なモデルの精度と計算速度が主な要求である一方で、キャリブレーション無しに予測をすることも要求されており、例としては、OPC システムに組み込まれた回路モデルとリソグラフィモデルがある。また、技術開発に関する応用では、物理的内容と、経験的モデルとそのパラメータをミックスしたものが要求される場合もある。テクノロジーの最適化開発に使われる(高度に合わせ込まれたシミュレータを用いる)従来の TCAD 応用はこの部類に属している。最後に、基本的物理が追及されるモデリング分野がある。その例はたとえばモンテカルロデバイスシミュレータや第一原理によるシリコン中の不純物拡散係数計算である。これら全ての適用領域に関して有効なガイダンスを与えるため、モデリングとシミュレーションの技術要求表は、能力に関する要求表、精度と計算速度の表に分けて、それぞれ表 MS2a,b,と表 MS3 とした。しかしながら、明記すべきこととして全体的には、キャリブレーションを余り必要とせず、より高い予測能力をもつ物理モデルを求める傾向がある。さらに、(お互いに影響し合う)異なるプロセス工程同士や、素子の寸法スケールと装置の寸法スケールとを統合して扱う事が緊急性、重要性を増し、これらの一方を扱う際に他方の事象抜きに扱うことがますます困難になっている。

能力要求表(表 MS2a と c)は、開発すべきモデリングの新たな特徴を要求する、あるいは、主として、まだ不満足である現有モデルやツールを記述するモデリングやシミュレーションに対する技術要求を記述している。たとえば、化学増幅型フォトリジストのモデリングである。この場合、開発すべき非線形レジスト性能を予測能力を以てシミュレーションできる基本技術が必要になる。この種の要求は新しい技術の導入や、微細化による新しい物理現象領域への移行と関連している。

一方、“精度と計算速度”の技術要求表(表 MS3)はプロセス／回路の設計・最適化に必要なシミュレータの精度レベルをより厳密に記述している。TCAD 応用にとって、この精度レベルは、表の 1 行目に挙げた TCAD による総合的なコスト削減を実現するために必要となる。コスト削減の目標値は、より一般的に言うと、TCAD がプロセス開発計画のスピードアップをするという、コスト削減と開発期間短縮を意味している。ECAD や設計アプリケーションに対して、これらの精度レベルは、設計者が新しい製品を効率的に創造するために必要となる。これらの精度要求は短期的な技術要求にのみ指定されるもので、長期的には新しい技術の研究が全体的に優先する。ある時点において、いくつかのテクノロジー世代が平行してシミュレーションされ、それぞれのテクノロジーに要求されるシミュレーション精度は異なるということを知っておく必要がある。

表 MS3 にある要求精度は、シミュレーション・ツールを特定世代にキャリブレーションする時に必要な精度であることに注意されたい。TCAD のシミュレーション・ツールの場合には特にだが、世代毎に新たな技術や材料、不純物種、工程が導入されるので、世代毎の技術に対してキャリブレーションする必要がある。

表 MS3 のコスト削減の数値は、新しいプロセス、デバイス、IC の開発に、TCAD を使ったことによるコスト削減の見積もりである。2002 年に日本で質問事項をベースにした調査結果では、開発期間の短縮は 26%削減、ロット数は 30%削減、プロセス選択数は 34%削減の見積もりであり、これらの数値は、モデリング技術者ではない日本の半導体企業およそ 10 社のマネージャーやインテグレーション／デバイス技術者 70 名以上の評価で、印象として成功したと感じた事例の平均である。

Table MS2a

Modeling and Simulation Technology Requirements: Capabilities—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ Pitch (nm) (contacted)	65	57	50	45	40	36	32	28	25
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	68	59	52	45	40	36	32	28	25
MPU Physical Gate Length (nm)	25	23	20	18	16	14	13	11	10
Lithography									
Exposure	Simulation of immersion lithography for high NA liquids (NA about 1.5) [1]		Simulation of EUV including optical flare, optical lithography for very high NA (about 1.7), ML2, imprint lithography options; models bridging OPC and predictive feature scale simulation [2]			NGL models and modeling of materials and components (immersion, EUV, ML2 lithographic processes, imprint)			
Resist models	Predictive chemically amplified resist models including LER and immersion (liquid-solid interface), and methods to easily calibrate parameters		Multiple exposure; EUV resists; finite polymer-size effects; line collapsing; lithography on topography; coupling with etch models		Meso-scale resist models with finite molecule effects; resist flare			Non-conventional photoresist models and coupling with etch models	
Large area lithography simulation*	TCAD-based methods to detect weak spots in lithography and etching across whole exposure field *			TCAD-based inverse lithography modeling					
Front End Process Modeling									
Gate stack*	◆ High-k dielectrics and gate materials (interfaces, impurity diffusion, electrical barrier) [3]		Model material properties and electrical behavior of prioritized alternative dielectrics (e.g., Hf-based) and gates (Interfaces, defects, impurities, work function and band gap offset, mobility, leakage - including metal gates and FUSI) [4]				Modeling of new process steps / processing and properties of alternative materials		
Continuum diffusion and activation models	Calibration of present models for Si based materials including stress/strain, silicidation and new annealing steps (e.g., millisecond anneal)		Refined and predictive models with better accuracy for upcoming process steps and applications						
Atomistic modeling for activation and diffusion*	◆ Speedup of Kinetic Monte-Carlo		Inclusion of stress, extension to other materials used in active device, calibration of atomistic modeling on first-principle calculations and experiments, integration with continuum process simulation						

Table MS2a

Modeling and Simulation Technology Requirements: Capabilities—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015				
DRAM ½ Pitch (nm) (contacted)	65	57	50	45	40	36	32	28	25				
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	68	59	52	45	40	36	32	28	25				
MPU Physical Gate Length (nm)	25	23	20	18	16	14	13	11	10				
Topography and Material Modeling [5]													
Etching / deposition	(Surface) physics based feature scale models (including redeposition and stress)		Integration of feature-scale simulation with equipment (plasma) models; electrical properties and stress including microstructure in deposition; layout dependence; process integration (coupling of etch-deposition-plating-CMP-lithography)			Including data beyond topography to also include surface and sub-surface material property prediction, full molecular dynamics (or atomistic) feature scale models							
Alternative material modeling	Calculation of thermodynamic and electronic properties		Calculation of mechanical properties; process impact on intrinsic material behavior, integrity and electrical performance under strain										
Equipment impact on process results including material properties				Computer engineered materials and process recipes; predictive manufacturability and yield; full process integration models. Integrated equipment/feature scale modeling extended to include material information from the atomic scale									
Numerical Device Modeling [6]													
Transport modeling [7]	Orientation-dependent mobility models including. field-dependent non-linear strain effects, surface roughness effects of nitrided oxides and orientation of the channel		Mobility models for high-κ gate stacks; efficient inclusion of quasi-ballistic transport		Mobility models consistent with QM confinement in thin films (esp. SOI)								
Additional requirements for non-classical CMOS	Device models to include additional interfaces (especially mobility in thin films)		Efficient quantum-mechanical simulation of 3D device structures, including thin films, consistent with mobility models					Nanoscale simulation capability including accurate atomistic and quantum effects					
Novel devices *	◆ Single-cell modeling of MRAMs, PCMs, FeRAMs and SONOS/NROMs		Material properties and reliability modeling of novel memory devices			Modeling of nanowires, graphene, etc.							
Reliability and noise modeling	HF, 1/f and RTS noise modeling		Trap generation during operation (HCI, NBTI, PBTI, ...)										

Table MS2a

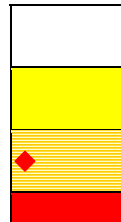
Modeling and Simulation Technology Requirements: Capabilities—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ Pitch (nm) (contacted)	65	57	50	45	40	36	32	28	25
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	68	59	52	45	40	36	32	28	25
MPU Physical Gate Length (nm)	25	23	20	18	16	14	13	11	10
Circuit Component Modeling [8]									
Active devices*	◆ Compact models for non-classical CMOS/ non-quasi-static models for CMOS		Circuit models for non-classical CMOS devices including reliability and influences of statistics; circuit models for classical CMOS including quasi-ballistic effects				Circuit models for nanoscale devices and interconnects		
Interconnects and integrated passives*	Hierarchical process-aware full chip RLC [10]		Include self-healing and reliability						
Process and materials impact on electrical performance of interconnects *	◆ Models that relate material properties (process related or fundamental) to electron transport (e.g., in conducting lines). Includes models for electron scattering. Models that predict paths to material property repair (e.g., low-κ repair, capacitance repair)								
Package Modeling									
Electrical modeling*	◆ Unified RLC extraction and multiscale modeling for package / chips		Reduced order models		Full-wave analysis		Mixed electrical/optical analysis		
Thermal-mechanical modeling *	◆Thermo-mechanical-integrated models		◆ Include non-bulk and porous/air gap materials properties	Include reliability (esp. life prediction)					
Material properties *	◆ Improved material models (visco-elasticity, creep, plasticity), interfaces		Full die simulation						
Numerical analysis									
Meshing *	◆ Robust, reliable, efficient and user-friendly 3D grid generation including moving boundaries								
Algorithms	More robust and more parallelizable algorithms		Discretization schemes alternative e.g., to box methods		Efficient atomistic/quantum methods; ab initio or molecular dynamics based topography simulations				

**MANUFACTURABLE SOLUTIONS EXIST,
AND ARE BEING OPTIMIZED
MANUFACTURABLE SOLUTIONS ARE
KNOWN**

**Interim solutions are known but research is still needed
towards mature commercial solutions*

**Solution is not known, but this does not stop manufacturing*



Notes for Table MS2a and b:

[1] Non-standard final lens / standard resists

[2] Non-standard final lens / non-standard resists

[3] Models that at least roughly predict effects like oxygen vacancies and Hf-Si interface states are required, as those effects cause flatband shifts and fermi-level pinning. Currently there are no commercial tools available in a typical TCAD environment. Thus very phenomenological, a posteriori approaches are used. They are limited also to only some effects and by using models that were originally not designed for those effects.

[4] "Alternative" refers to materials so far not prioritized in PIDS

[5] Emphasis in topography steps shifted to material aspects towards long-term years

[6] In Numerical Device Modeling equations are solved that are typically based on fundamental physics and describe the electrical behavior on spatially fine resolved quantities. This means usually partial differential equations (with respect to spatial coordinates) are employed. The goal is technology optimization and device insight

[7] This row includes all aspects important for all devices, that is, especially classical CMOS bulk devices

[8] In Circuit Element Modeling no spatially resolved models are used. Approximately analytically solveable, physically based models give guidance for the used relations between electrical quantities. The goal is a description of device behavior (currents, charges, noise) in circuit simulators

[9] This refers to a minimum of functional sub-circuits

Table MS2b

Modeling and Simulation Technology Requirements: Capabilities—Long-term Years

Year of Production	2016	2017	2018	2019	2020	2021	2022
DRAM ½ Pitch (nm) (contacted)	22	20	18	16	14	13	11
MPU/ASIC Metal 1 (M1) ½ Pitch (nm) (contacted)	22	20	18	16	14	13	11
MPU Physical Gate Length (nm)	9	8	7	6.3	5.6	5	4.5
Lithography							
Exposure	NGL models and modeling of materials and components (immersion, EUV, ML2 lithographic processes, imprint)						
Resist models	Models for non-conventional photo-resists and coupling with etch models						
Front End Process Modeling							
Gate Stack	Modeling of new process steps / processing and properties of alternative materials						
Diffusion and activation models	New technology needed						
Topography and Material Modeling							
Alternative material modeling	Atomistic material model						
Equipment impact on process results including material properties	Computer engineered materials and process recipes; predictive manufacturability and yield; full process integration models. Integrated equipment/feature scale modeling extended to include material information from the atomic scale						
Numerical Device Modeling [6]							
Additional requirements for non-classical CMOS	Nanoscale simulation capability including accurate atomistic and quantum effects						
Additional requirements for devices beyond non-classical CMOS	Nanoscale simulation capability including accurate atomistic and quantum effects for ERD and ERM						
Circuit Component Modeling [8]							
Active devices	Circuit models for nanoscale devices and interconnects						
Interconnects and integrated passives	Mixed electrical/optical simulation		Reliability prediction in coupled modeling				
Package Modeling							
Electrical modeling	Reliability prediction in coupled modeling						
Numerical analysis							
Algorithms	Multi-scale simulation (atomistic-continuum); fast coupling of equipment-topography-electrical-reliability models; hierarchical full-chip simulation						

*For 2005/2006, interim solutions are known but research is still needed towards mature commercial solutions.

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

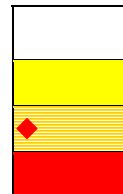


Table MS3

Modeling and Simulation Technology Requirements: Accuracy and Speed—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ Pitch (nm) (contacted)	65	57	50	45	40	36	32	28	25
MPU/ASIC Metal 1 (M1) ½ Pitch (nm) (contacted)	68	59	52	45	40	36	32	28	25
MPU Physical Gate Length (nm)	25	23	20	18	16	14	13	11	10
Technology development costs reduction potential if TCAD is appropriately used [1]	40%	40%	40%	40%	40%	40%	40%	40%	40%
<i>Lithography Modeling</i>									
Absolute CD prediction accuracy (including OP effects) for dense and isolated lines – % of actual CD (=printed gate length) [2]	3%	3%	3%	3%	3%	3%	3%	3%	3%
Accuracy of sensitivity of CD vs. relevant technology parameters (dose, defocus, pitch,) [3]	10%	10%	10%	10%	10%	10%	10%	10%	10%
<i>Front End Process Modeling</i>									
Vertical junction depth simulation accuracy (% of physical gate length)	10%	10%	10%	10%	10%	10%	10%	10%	10%
	(2.5 nm)	(2.3 nm)	(2.0 nm)	(1.8 nm)	(1.6 nm)	(1.4 nm)	(1.3 nm)	(1.1 nm)	(1.0 nm)
Lateral junction depth simulation accuracy: (% of physical gate length)	5%	5%	5%	5%	5%	5%	5%	5%	5%
Accuracy of sensitivity of junction depth with respect to implantation and anneal conditions [3]	5%	5%	5%	5%	5%	5%	5%	5%	5%
Total source/drain series resistance (accuracy of activation)	10%	10%	10%	10%	10%	10%	10%	10%	10%
<i>Topography Modeling</i>									
Wafer scale deposition/etching/CMP accuracy [4]	5%	5%	5%	5%	5%	5%	5%	5%	5%
General 2D/3D topography accuracy (% accuracy of feature dimensions)	5%	5%	5%	5%	5%	5%	5%	5%	5%
Gate 2D/3D topography accuracy (% accuracy of the MPU physical gate length)	1.80%	1.80%	1.80%	1.80%	1.80%	1.80%	1.80%	1.80%	1.80%
	(0.45 nm)	(0.40 nm)	(0.36 nm)	(0.32 nm)	(0.29 nm)	(0.25 nm)	(0.23 nm)	(0.20 nm)	(1.8 nm)
Gate sidewall spacer 2D/3D topography accuracy (% accuracy of sidewall width)	5.00%	NA	NA	NA	NA	NA	NA	NA	NA
	(1.4 nm)	NA	NA	NA	NA	NA	NA	NA	NA
Interconnect 2D/3D topography accuracy (% accuracy of MPU/ASIC Metal 1 (M1) ½ Pitch)	5%	5%	5%	5%	5%	5%	5%	5%	5%
	(3.4 nm)	(3.0 nm)	(2.6 nm)	(2.3 nm)	(2.0 nm)	(1.8 nm)	(1.6 nm)	(1.4 nm)	(1.3 nm)
<i>Numerical Device Modeling [5]</i>									
Accuracy of ft and fmax	10%	10%	10%	10%	10%	10%	10%	10%	10%
Gate leakage accuracy (% of Ig) [6]	25%	25%	25%	25%	25%	25%	25%	25%	25%
Ion accuracy	3%	3%	3%	3%	3%	3%	3%	3%	3%
Leakage current accuracy including S/D gate leakage and band-to-band tunneling	30%	30%	30%	30%	30%	30%	30%	30%	30%
Length-dependent Vt accuracy (mV) [9]	10 mV	7 mV	7 mV	7 mV	7 mV	7 mV	7 mV	7 mV	7 mV
Width-dependent Vt accuracy (mV) [10]	10 mV	7 mV	7 mV	7 mV	7 mV	7 mV	7 mV	7 mV	7 mV
Accuracy of Gm and Gd at Vt +150mV versus L, Vbs, Vds and T	10%	10%	10%	10%	10%	10%	10%	10%	10%
<i>Circuit Element Modeling/ECAD [11]</i>									
I-V error in saturation region	6%	5%	5%	5%	5%	5%	5%	5%	5%
I-V error in saturation region	6%	5%	5%	5%	5%	5%	5%	5%	5%
I-V error in linear region	3%	3%	3%	3%	3%	3%	3%	3%	3%

Table MS3 *Modeling and Simulation Technology Requirements: Accuracy and Speed—Near-term Years*

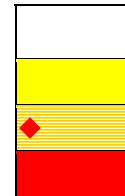
<i>Year of Production</i>	<i>2007</i>	<i>2008</i>	<i>2009</i>	<i>2010</i>	<i>2011</i>	<i>2012</i>	<i>2013</i>	<i>2014</i>	<i>2015</i>
<i>DRAM ½ Pitch (nm) (contacted)</i>	65	57	50	45	40	36	32	28	25
<i>MPU/ASIC Metal 1 (M1) ½ Pitch (nm) (contacted)</i>	68	59	52	45	40	36	32	28	25
<i>MPU Physical Gate Length (nm)</i>	25	23	20	18	16	14	13	11	10
Leakage current including I_{off} and gate current accuracy.	10%	10%	10%	10%	10%	10%	10%	10%	10%
Intrinsic MOS C-V accuracy	5%	5%	5%	5%	5%	5%	5%	5%	5%
Parasitic C-V accuracy	5%	5%	5%	5%	5%	5%	5%	5%	5%
Accuracy of Gm and Gd at $V_t + 150\text{mV}$ versus L, V_{bs} , V_{ds} and T	10%	10%	10%	10%	10%	10%	10%	10%	10%
Circuit delay accuracy (% of 1/maximum chip frequency)	5%	5%	5%	5%	5%	5%	5%	5%	5%
<i>Package Modeling</i>									
Package delay accuracy (% of 1/off-chip clock frequency)	1%	1%	1%	1%	1%	1%	1%	1%	1%
Temperature distribution for package (accuracy)	3%	3%	3%	3%	3%	3%	3%	3%	3%

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



Notes for Table MS3:

[1] This line does not give a quantitative assessment of the industrial requirement but gives the average of estimates obtained from companies on cost reductions in best practice cases through use of TCAD in development

[2] CD averaged - LER not included. After calibration of resist parameters

[3] Influence of process parameters on CD, etc. should be predicted with that maximum relative error

[4] For gate oxide this means atomistic precision

[5] In Numerical Device Modeling equations are solved which are typically based on fundamental physics and describe the electrical behavior on spatially fine resolved quantities. This means usually partial differential equations (with respect spatial coordinates) are employed. The goal is technology optimization and device insight

[6] Not including effects of high- κ / metal gate

[7] Absolute values strongly differ for HP and LSTP. Important aspects for nominal devices also included in rolloff accuracy

[8] (Positive) difference in V_{th} of nominal and subnominal device

[9] Difference between simulated and measured V_{th} for different channel lengths

[10] Difference between simulated and measured V_{th} for different channel width

[11] In Circuit Element Modeling no spatially resolved models are used. Approximately analytically solveable, physically based models give guidance for the used relations between electrical quantities. The goal is a description of device behavior (currents, charges, noise) in circuit simulators.

補足

半導体のモデリング・シミュレーションに関するいくつかの側面を記述した他のロードマップの最新版として、米国では National Electronics Manufacturing Initiative¹による iNEMI 技術ロードマップ 2007 がある。European Commission の IST プログラム(将来の、および新たな技術)による Technology Roadmap for Nanoelectronics²は 2000 年に既に発行されたものだが、当を得た情報が書かれている。iNEMI のロードマップに追加されたシミュレーションに関する内容はシステムや製品に関連する内容が主に採り上げられ、その結果信頼性、熱的・電氣的シミュレーション、さらにオプトエレクトロニクス、マイクロエレクトロメカニクスシステム、ナノスケール／スピ電子工学について述べている。EU Nanoelectronics Roadmap は、特に CMOS 以降の探索デバイス(emerging-devices)とそれらに必要なナノ製造技術の記述に注力している。これは長期の視点でのシミュレーションに関する情報に言及していて、分子モデリングについても詳しい記述がある。この資料は長期レンジのシミュレーションに関するものだが、分子モデリングについて詳細な記述がある。その作業部会での議論は IST Program の中の European Commission 基金を利用した European Specific Support Action "SURGET"³からの支援を受けている。URGET は TCAD に関する研究開発活動の明確化や推進を役目としている。(ITRS の外部にある)これらの 3 つの活動は互いにうまく補完し合って機能している。

他の ITWG に関する項目

モデリング・シミュレーションと他の全作業部会(ITWGs)との関連は、以下に概略を示す。これらは、他の作業部会(ITWG)の章の記述からと、他の作業部会(ITWG)との横断的議論とに基づくもので関連した項目がある。

設計／システムドライバーとの関連

最小寸法の更なる縮小に関連して設計で鍵となる挑戦課題は、製造パラメータの揺らぎや不純物原子固有な、例えば、チャネル不純物ゆらぎに由来する設計パラメータのばらつきの増加である。この問題は、設計章中に、特に DFM に関する部分において詳しく議論されている。モデリング・シミュレーションは、このような設計パラメータのばらつきの定量的影響の見積りの支援が出来なければならない。すなわち、設計パラメータの中心値のずれと合わせて統計的ばらつきは、能動素子や寄生素子の寸法、間隔、素子特性、結合パラメータを信号遅延や歪みを再現するよう、パラメータ抽出と同様に、装置、プロセス、デバイスシミュレーションがなされなければならない。重要性が増しているのは、チャネル領域に平均して存在する不純物原子が数個とかになり、極端に大きな不純物揺らぎが生じ、電気特性も揺らぐことである。特に、リソグラフィやエッチングのように異なるプロセス工程の間の相互作用が、増幅されるのか、平滑化されるのかは、非常に重要である。更に、シミュレーションは、熱的效果を含む、寄生効果、遅延のばらつき、雑音、信頼特性の影響を小さく抑えることに寄与すべきである。この様な 2 次的変動の扱いは、例えば特性マッチングが鍵となるアナログ素子で極めて重要である。設計者がレイアウトで変わり得ることを考慮して安全で適切なマージンの選択を支援するために、プロセス誘起ばらつきを含むデバイス構築技術と、設計パラメータとを結びつけることが全てを考慮した上での最終目標である。シミュレーションが提供できる真価は、大部分を自動的に、比較的短時間で、かつ、比較的少ない費用で、広い範囲のばらつき情報を提供できることである。このように、モデリング・シミュレーションは、従来のプロセスが今後殆ど許容度がない中で、現実的で新しいプロセス許容度の見積もりを提供しなければならないという問題の解決策に、貢献しなければならない。この目標を達成するためには、例えば、SPICE パラメータや統計的ばらつき分布などのように、設計ツールに使えるような形式のデバイスやセルレベルの情報を、微視的な TCAD シミュレーションから抽出する適切な手法が、開発されなければならない。

¹ <http://www.inemi.org> を参照のこと

² R. Compano, ed. Technology Roadmap for Nanoelectronics. Second Edition, November 2000, <http://www.cordis.lu/ist/fet/nidqf.htm> を参照

³ http://www.iisb.fraunhofer.de/en/arb_geb_sugert.htm を参照

短期の時間スケールで特別の問題としては、マスク作成、具体的にはレイアウトからレジストへ形状を効率的に転写することと、閾値のような、電気特性のばらつきが特に重要である。シミュレーションは、ウエハ上に焼き付けた形状を、設計者が意図した「理想」の構造に十分近くするマスク修正に寄与するばかりではなく、例えば、要求された形状をウエハ上に焼き付けるのに最も効率的でコストの少ないマスク構造を選ぶことや、例えば、複雑な補助構造形状によって、マスクを修正しすぎることを避けることなどに寄与することである。これ以外に、制御が難しい CD 値や、不純物ばらつきは、長期的課題である。

最後に、モデリング・シミュレーションは、プロセスばらつきや不純物揺らぎの影響の情報を提供し、かつ、これらの擾乱に敏感でなく歩留まりを最大化するような設計を設計者が選べるようにするなど、歩留まりの予測や最適化に寄与すべきである。詳細はデザインとシステムドライバー章を参照。

テストとテスト装置との関連

テスト装置、電力供給経路、プローブカードやボード上でのテストのモデリング・シミュレーションはテスト ITWG より要求されている。テストにおいて最も重要なものは、電力供給や高速信号の信号完全性である。これらのモデリングは、配線やパッケージ・シミュレーションの分野で構築されているものであるが、プローブカードやソケットなど幾つかの問題は、古典的な領域外でモデリング・シミュレーションで考慮されるべきものである。とにかく、テスト活動サポートに重要なこれらの問題への寄与を、シミュレーション分野から進めて欲しい。他に重要なことは、最初は穏やかな欠陥が将来世代において致命的な欠陥に移行するような回路によって変わらうる感度は重要な問題である。特に回路特性への欠陥影響を抑えることへのシミュレーションからのサポートは重要である。これは欠陥検出の基準を決める助けになる可能性がある。更に、プロセス本来のばらつきが影響している良品と、欠陥品の区別にモデリング・シミュレーションは必要である。ここで、テスト後の回路使用条件に対し、テスト時の条件でのみ成り立つようなデータから信頼特性を取り出すモデル化において測定法が重要なことと同様に、これら機構の信頼できるモデル化にモデリング・シミュレーションのサポートが必要とされている。詳細はテストとテスト装置の章を参照。

プロセスインテグレーション、デバイス、&構造(PIDS)との関連

PIDS の章で要求される鍵となるイノベーションとは、移動度向上(歪 Si 関連)、high- κ 絶縁膜、メタルゲート、ノンクラシカル CMOS(例えば、完全空乏型 SOI)、バリステック輸送による飽和電流の向上がある。他のロングタームの課題としては、原子レベル揺らぎ、LER や LWR を含んだ統計的なプロセスばらつき、新しい配線構造、プロセス、材料、物理、設計等に大きな変化を引き起こすミクスドシグナルデバイス技術がある。さらなる微細化においては、新しいプロセスステップ、設計、デバイス・配線・回路上での材料信頼性の課題はよりいっそう重要になり、開発スピードの面からもモデリング&シミュレーションによるサポートが要求される。特に SOI 材料を用いたデバイスに向けて、不純物拡散、活性化、キャリア伝導、あるいは歪に向けた現存のモデルは、バルク特性と比較してかなり重要となる界面効果に対処するために拡張されるべきである。信頼性に向けた設計には、回路性能と回路信頼性のコンカレントな最適化と、エレクトロマイグレーション、熱的・機械的ストレス、プロセス起因チャージングのシミュレーションに対応できるシミュレーション・ツールが要求される。

モデリング・シミュレーションと ERD との関連

ERD では、電荷以外の状態変化(例えばスピン)をますます注目している。これ等は、現状でのモデリング・シミュレーションの守備範囲を原子スケールに本格的に拡張することを求めている。電荷に基づくものと、電荷以外に基づく情報プロセスの両方について、物理的な機構とプロセスの基本的な理解においても、またナノスケール構造の計測結果の解釈においても、モデリング・シミュレーションは極めて重要である。デバイスに用いられる材料の大きさが微細化するに伴い、計測される物性値に対する界面の影響が、バルクと界面特性を分けることをますます困難にしている。従って、ナノスケールのデバイス構造により新しく生じる量子化された物理現象と相まって、界面の役割は第一原理計算もしくは非経験的計算の発展を促している。これにより、ナノスケールの大きさの物性値や電荷以外の状態変数を用いたナノスケールのデバイスを予測するシミュレーションが可能となる。

検討されている次世代デバイスの構造が多岐にわたるため、またそれが長期的なものであるため、要求されるモデリング・シミュレーションは ITRS の他の分野で用いられている現在のモデルやツールの単なる延長ではありえない。異分野の原理をも取り入れたナノ領域についての新しいモデリング・シミュレーションは、生物や化学などの他分野からの貢献を本格的に取り込む必要がある。[ERD を参照](#)。

モデリング・シミュレーションと ERM との関連

ERM は、材料組成、構造そして合成方法を材料の特性に結びつけるモデリングを求めている。特に、ナノスケールでの物性値を予測できる第一原理計算の改良を求めている。ここでの第一の課題は、現状のツールでは扱うことが出来ない励起状態についてのシミュレーションがしばしば必要となることである。検討されている ERM が多岐にわたるため、また長期的なものであるため、要求されるモデリング・シミュレーションは ITRS の他の分野で用いられている現在のモデルやツールの単なる延長ではありえない。詳細は、ERM の本文に述べられている。[ERM を参照](#)。

モデリング・シミュレーションと無線通信のための無線周波とアナログミックスシグナル技術との関連

無線通信のための RF(無線周波、Radio Frequency)とアナログミックスシグナル技術からシミュレーションに対する要求には、シリコンベースの基板だけでなく、III-V 族化合物半導体や MOSFET を超えた何らかのデバイス構造も含まれ、また 100GHz まで及びそれ以上の周波数動作、高次の集積化、回路ブロック間のクロストーク、ノイズ、また信号分離をシミュレートするための可能性も含まれる。これらの要求により、SoC (System-on-Chip) や SiP(System-in-Package)向けの統合化された以下に挙げるようなデバイス/回路/システムのシミュレーションに対する必要性が増大する; 静電気放電に対する保護を含むアナログデバイスモデリング; 正確で精度の良い 3 次元電磁場や RF シミュレーションとその可視化; キャリア輸送に対する数値計算上効率的な物理モデル; バンドギャップエンジニアリングに対応し精度良く高速で予測性の高いアナログ/RF コンパクトモデル。デバイスマッチングは重要な問題である。熱の生成や除去及び散逸をシミュレーションすることは、特に、広いバンドギャップ半導体やウエハの薄膜化によりより高密度のパワーになるため、標準的な CMOS に比べてより重要な問題となる。アナログの性能を議論する際には、例えば新たな高誘電体膜をゲートに用いた場合などに対するミスマッチや $1/f$ ノイズを十分な精度で予測可能なプロセス及びデバイスシミュレーションが必要となる。より高い動作周波数に対しては、エピタキシャル工程や異種の不純物(例えば、炭素原子)のシミュレーションが必要になる。上記の見解については、本章の「デバイスモデリング」、「インターコネクトと集積化された受動素子モデリング」、「回路モデリング」や「材料モデリング」の節で述べられている。更に、モデリング・シミュレーションは、RF 分離に対するデザイン手法においても活用されるべきであろう。無線通信体系が複雑化しているため、性能劣化を防止するように注意深く RF 信号の分離を行わなくてはならない。

フロントエンド・プロセスとの関連

FEP(Front-End Process)に関するチャレンジは、新規材料や非古典的 CMOS の導入に関することである。これらの導入においては、モデリング・シミュレーションに対して様々な要求がある。特に、材料に起因するデバイスの微細化限界が差し迫ってくるようになると、材料関連の問題がモデリングにおいての主要な問題となるであろう。この材料関連の問題には歪んだ材料も含まれる、即ち、応力や歪に関するモデリングの重要性が益々高まるであろう。新規のデバイス設計からは、浅い接合形成過程などのデバイス製造プロセスをシミュレーションするための技術向上と共に、特にデバイスシミュレーションにおける計算技術の向上が要求される。デバイスの微細化及び非プレーナ型のデバイス、特に、SOI デバイスなどの設計においては、界面に挟まれた半導体領域が減少するため、界面の取り扱いが益々重要な問題となる。デバイスの更なるスケールによって、2005 年ロードマップにあるようにリソグラフィとエッチング間の許容変動量の再分配の代表例からも分かるように、プロセス変動の重要性が高まるので、最終的なデバイスやチップに対するプロセス変動の影響を評価するためにシミュレーションが活用されなくてはならない。高誘電体膜は 2008 年までに導入されることが期待されているので、速やかに高誘電体膜に対する適切なモデリングがなされるべきである。極浅い、急峻で高活性なドレイン・

エクステンションの形成は依然として主要な課題であるので、形成過程での物理的な理解(例えば、アニール工程におけるドーパントと点欠陥との挙動など)を深めることと、その理解に基づく数値計算によって最適化を行うことが要求されている。この物理的な理解は、ドーパント原子と欠陥との相互作用を利用することにより、更に浅い接合の形成を目的とした、欠陥制御技術においても活用される。更に、CD(Critical Dimension)の減少とLWR や LER を含むばらつきの制御は主要な問題であり、実験的な付加を低減するために CD に影響を及ぼす様々な要因の中から最も重要なパラメータを同定するためにシミュレーションを活用することが強く要望されている。

リソグラフィとの関連

従来の光学リソグラフィの限界を推し進め、新しい次世代リソグラフィを切り開くために、モデリングとシミュレーションからの支援が重要である。さらに、最先端のリソグラフィ・シミュレーションでは、装置スケールのシミュレーションと素子スケールのシミュレーションとの緊密な連結が必要である。装置サイズの影響では、ユーザが決める、もしくは測定する確率分布をもつランダムな変数を含むモデルがしばしば要求される。リソグラフィの像形成の計算はよく分かっている物理モデルに基づいているが、レジストプロセス、特に化学増幅型レジストのプロセス、の物理的/化学的理解は進んでいるとはいいいがたい。レジストモデルは準経験的なものの典型であり、実験データによるフィッティング、キャリブレーションが必要である。

光学像のシミュレーションの主な要求は、精度、計算時間、非理想的なマスク、非理想的なレンズ、多層膜レジスト、非平坦な基板の影響のモデリング能力である。1/4 縮小投影でのマスクの最小サイズは露光波長と同程度になってきており、偏光の影響やマスクの正確なトポグラフィを含めたモデリングが要求される。たとえば、斜入射照明、位相シフトを含む複雑なマスクの幾何学形状、OPC (Optical Proximity Correction) などの、光学リソグラフィの限界を押し進めるとき使うトリックを扱う場合は、特定の問題に特化したアルゴリズムとその実装が要求される。使用する光学系の理想系からのずれは、ますます重要になり、シミュレーションに適切に反映されるべきである。マスクやウエハ上の欠陥の影響はますます重要になってきており、特にキラー欠陥を特定できる適切なシミュレーションが必要である。

レンズを多層膜ミラーに置き換え、反射マスクを使う EUV (Extreme Ultraviolet) リソグラフィのような、将来の次世代リソグラフィ(NGL: Next Generation Lithography)に使われる新技術を適切にモデル化し、シミュレーション・プログラムに組み込む必要がある。マスクパターン発生器といくつかの NGL の選択肢—近接電子リソグラフィ、マスクレスリソグラフィ—は電子による像形成を伴う。確率的な空間電荷、幾何収差、電界または磁界をつかった電子レンズの設計などのシミュレーションが必要である。将来の次世代リソグラフィの選択肢を絞り込むために、シミュレーションによる支援が重要であり、今後も重要であり続ける。

液浸リソグラフィの導入により、モデリングとシミュレーションのいくつかの新しい要求が重要になってきた。NA が 0.85 以上の光学系のシミュレーションができなければならない。そのためには、特に、偏光した光源の使用、マスク構造や材質による部分偏光などを含む偏光の取り扱いが必要である。また、特定の欠陥が液浸の液体中の泡によるものかどうかをシミュレーションで判断できるべきである。現在開発中のいろいろなダブル・パターンニングからいくつかの要求が生じ、それらは、ウエハ上のトポグラフィをシミュレーションで厳密に扱うことが必要である。

リソグラフィモデリングとシミュレーションの特にやりがいのあるものは、広い範囲にわたる像形成とプロセス条件に対して、最先端のフォトレジストの挙動を正確に予言することである。このためには、よりよい物理的・化学的モデリングが必要で、これを使い、現像後の三次元のレジスト形状の予測と、LER (Line Edge Roughness)、LWR (Line Width Roughness) などの影響を含んだプロセスウィンドウの予測をする。問題のレジストの適切な記述のためモデル開発と、問題のレジストの適当な記述のため市販ツールに実装されているモデルのカスタマイズの両方のために、よりよいキャリブレーション技術が必要である。キャリブレーションは、入力データ、つまり、

CD 測定にあきらかに依存する。それゆえ、測定誤差の理解と評価が必要である。システムのエラーは CD-SEM などの測定装置の誤差のモデル化によって扱われるべきである。LER や LWR が重要になってきているので、リソグラフィ・シミュレーションで、デバイスや配線の性能への影響 (LER) やばらつきへの影響 (LWR) の見積もりを評価すべきである。レジストのラフネスが問題ではなく、エッチング後の構造のラフネスが重要なので、エッチング・シミュレーションとの緊密な結合が不可欠である。レジストの 3D エッジ・ラフネス、形状とエッチング後のゲート、コンタクト、トレンチのラフネス、形状との関係を理解するためにエッチングのシミュレーションが重要である。また、しばしばマスク作成のリソグラフィ工程に起因する望ましくないマスクエッジの形状の予測にためにも、エッチング・シミュレーションとの緊密な連携が必要である。

シミュレーションとモデリングに求められるリソグラフィ工程特有のものは、非常に効率的なシミュレーション・ツールである。それは、大面積のシミュレーションを可能にし、DFM (design for manufacturing) の増大する要求に応えるため、いろいろな物理パラメータやレイアウトのおびただしい数のシミュレーションを可能にするものでなければならない。事実、間違いのあるマスクや少しだけの改善しかないマスクを高額をかけて作成することを避けるために、OPC と位相割り当てデータの確認をするため、フルチップのレイアウトでのシミュレーションが必要とされている。これらのシミュレーションは妥当な正確さを持っていなければならない、妥当な時間内で全レイアウトを評価できる程度の高速で計算できなければならない。さらに、シミュレーションは、設計、モデリング、期待される回路特性を維持するための超解像リソグラフィ技術と広範囲の計測の間で統合されなければならない。

リソグラフィ工程の像形成とレジスト形状のモデリングに加えて、力学的モデルもリソグラフィ装置の設計には重要である。露光装置、マスク、ウエハが要求される重ね合わせ許容範囲で安定であることを保証するために、有限要素法の改良と活用が重要である。レンズ取り付けの安定性、ステージの安定性、露光装置のハードウェア設計の静的・動的モデリングが非常に重要である。ステージが高加速する間、マスクとウエハを要求される位置に維持し、要求される平坦度を保つために、マスクとウエハの搭載方法の設計に、やはり、静的・動的モデリングが決定的である。露光装置の設計には、熱的影響の平衡、非平衡モデルが重要である。特に、液浸リソグラフィの液浸液の加熱と、それらの変形や収差に与える影響のモデリングにおいて、重要である。液浸固有の欠陥形成を最小限する液体供給システムの設計のために、液浸の液体の流れのモデルが必須である。

インターコネクト、設計、モデリング・シミュレーションとの関連

インターコネクトに対し今後要求されている技術世代の性能は、最早、材料や製造技術の改善だけでは提供出来なくなっている。従って、材料科学と、ウエハ技術、設計、モデリング・シミュレーションの相互協力は、インターコネクトのスケールアップの支援に益々重要性がましている。現在ある設計ツールは全面的に多層システムの性能を正確に予測できない。さらにモデルは、RLC でなく、主に RC ベースある。最良性能の最適化は、しばしば、試行錯誤で行われている。周波数と配線総数が増加するにつれ、デバイス全体性能目標を満たし、機能ブロックサイズ、配線レベル、接続可能サイズなどの配置配線の機能を駆使し、市場は最先端が追及されてきた。インターコネクトをユーザに短期、および長期にわたって使えるように設計する能力を、飛躍的に拡大しなければならない。新しいインターコネクトの課題は次の通りである。

1. RLC モデルは、10GHz あるいはそれ以上(30GHz で自由空間での波長は約 1cm)のシステムで必要になる。このモデル能力は、RF やテラヘルツ波を使うインターコネクトシステムにも必要である。
2. Cu の抵抗増加の配線遅延への影響は、実際のモデルで考慮しなければならない。モデルは、配線幅、配線の縦横比、側壁の粗さ、金属粒界サイズ、そして、粒界や、表面、不純物のばらつきに関する係数の考慮が必要である。
3. 隣り合う配線間のクロストークや、ダミー金属形状の影響が原因の信号遅延の不確定さは、適切なモデルで考慮することが必要である。
4. CD 許容度、配線高さのばらつき、側壁表面粗さなどのプロセスばらつきは、配線やビアサイズの更なる縮小に対し、ますます常用なものになるであろう。そのため、ばらつきに強い設計、ばらつき依

存性が明確なモデリング・レーションが、きたるべき技術世代を支援するために必要である。

5. 機能ブロックを最適に配置する手段が、3次元集積回路において、個別のチップばかりでなく、積層されたチップに対しても必要である。
6. 光のエミッターや検出器の潜在率を含んだ光配線の最適システムを最適化する新しいモデルが開発されなければならない。
7. 上記の技術の全ては、全体としてチップの発熱を増加させ、信頼性にクリティカルなチップ内の「ホットスポット」を多数発生させる。熱伝導率が減少した低誘電率材料、RF 定常波、3次元 IC 積層構造内の、発熱多層膜、そして、光デバイスや量子井戸デバイスの場合と同様に、熱による、影響を和らげる、熱的予測モデルが必要とされるであろう。

モデリング・シミュレーションはインターコネクトの問題に対し、あらゆる分野の技術を支援する際に鍵となるツールである。要求される能力は、IC のレイアウトや、信号遅延、歪み、配線信頼性などの電気特性、粒界構造や、Cu/バリアの界面や不純物による縮小 Cu 配線の低効率上昇、新しい低誘電率材料や、更に未知材料の物理構造の配線への影響、等を予測する高度なレベル領域に渡っている。

これらのモデリング・シミュレーションは、広範な実験の必要頻度と費用を出来る限り減少させるために十分、正確な予測を提供しなければならない。これらの必要性は、新しいインターコネクトの技術に対し、分野分けをして良く吟味された実験をするための最初のシミュレーションから、比較的成熟した技術に対し、実験的エラー範囲内で予測する手法のシミュレーションにまでがっている。

多くの他の技術分野と同じように、含まれる沢山のパラメータや、努力の益々増加のために、モデリング・シミュレーションへの必要性は増加している。例えば、低熱伝導率の低誘電率材料の導入は、熱的、機械的、電氣的に組み合わせたモデリングが、劇的に、増加している。

モデリング・シミュレーションへインターコネクトから特に必要なものは、高周波数と信頼性を含む性能予測である。すなわち、エッチング、プラズマ気相デポジション(PVD)、化学的機械的平坦化(CMP)などを含む現実工程で製造され複雑な(例えば3次元)構造の性能予測、すなわち、問題に応用する際にスピードと精度のトレードオフの階層的な選択が出来るということ、また、目標仕様に合うように非効率を認めて、製造とプロセス設計を結びつけるツール、配線やビアの抵抗増加による電気回路の遅延劣化を計算するツール、配線構造に用いられる金属材料、バリア材料、誘電体材料の物理的、電氣的性能とともに構造をも予測出来る材料モデリングである。特に重要なものは、Cu のサイズ依存低効率、表面拡散、エレクトロマイグレーション、CMP における Cu の変形や膜減りである。Line edge roughness(LER)、トレンチ深さや形状、ビア形状、洗浄による掘れや膜減りは、インターコネクトとそのシミュレーションにとっての鍵となる課題である。詳細は、インターコネクトと設計章を参照。

ファクトリーインテグレーションとの関連

モデリング・シミュレーションの章では、デバイス製造中や装置、デバイス、回路内にて発生する物理プロセスを扱っている。この物理シミュレーションは、ファクトリーインテグレーションの核心部分をなすウエハフローや装置運用、ロットスケジューリングといった離散シミュレーションとは大きく異なる。それに関わらず、物理モデリング・シミュレーションは、ファクトリーインテグレーション、コスト、生産性、スピードの戦略的な目標到達のために貢献可能であり、貢献しなければならない。

特に、開発時間の短縮と新しい技術、IC のコストを削減するために、物理モデリング・シミュレーションの全体的な目的は、ファクトリーインテグレーションの到達点の一つとよく一致している。つまり微細化やウエハサイズの変更に伴う早急なプロセス技術の確立を可能にした。物理モデリング・シミュレーションは、装置、プロセス、デバイス、回路のシミュレーション・ツール、特に生産ラインにより微細なサイズを最初に導入する時、その微細化技術の将来性と影響力を調査するためのツールを開発することによって、目標を達成することに貢献できるし貢献しなければならない。また、このことはコストを下げるために必要不可欠である。さらに、「歩留まり向上」の章と同様に、ファクトリーインテグレーションにとっても、生産状態にあるデバイスや IC に影響を与えるプロセスばらつきを調査するために、物理モデリング・シミュレーションの活用はとても重要である。このことは、装

置の生産性を向上させることにもつながる。プロセスばらつき(例えばリソグラフィ)と同様に装置内あるいは装置間ばらつきがデバイスや IC の性能ばらつきへ与える影響を定量化するために、シミュレーションを利用することができる。また、このようにして、装置を有効に運用するための正しい戦略立てに貢献でき(TCAD for DFM)、あるいは、高い歩留まりを達成するための最適なプロセスフローを割り与えることも可能である(TCAD for Yield)。特に、ファクトリーインテグレーションの章で数年来定義されてきた一つの実現可能な答えは、「マスクが生産に合わせて設計されているかを保証する自動デザインルールチェック」である。ここでは、特にリソグラフィ・シミュレーションが、与えられたマスクとプロセスで生産されたウエハのパターン形状を予想するために活用され、またさらに、マスクを複雑にせず、ウエハ上で最適な結果を得るためのマスクと(や)プロセスを最適化するために活用される。物理モデリング・シミュレーションからの特別なサポートは APC (Advanced Process Control) と Forward/Backward の分野で必要とされる。ここでは、前のプロセスステップで発生したズレ、あるいは使用する装置の定期メンテナンスとプロセス調整の間で、たびたび発生するプロセスシフトを補正する追加プロセスステップを決定するために十分な物理プロセスモデルが必要とされる。このような関係においては、物理モデリング・シミュレーションへの鍵となる要求事項は、予想できるモデル(時には三次元で)を開発することではなく、理想的には生産ライン内でリアルタイムに実用化され、インシチューあるいはインラインでの計測と APC ソフトウェアとが連動した、シンプルなコンピュータツールである。

アセンブリとパッケージとの関連

アセンブリとパッケージングからモデリングとシミュレーションへのクロスカット要求は、つぎの2点における共同設計からなる。すなわち、チップとパッケージ間であり、機械的、電気的、熱的なシミュレーションも含む。それらは、配線の章から挙げられたモデリング・シミュレーションへの要求と密接に関連している。さらに、低電圧と高電流のために、極低レベルの信号線を過渡的に流れる高電流の効果を最小限にするために、チップとパッケージを共同して設計する必要が一層、増している。RF/ミックスド・シグナルモデルが必要であり、複雑な SoC と SiP パッケージのシミュレーションを可能にするように、モデリング・ツールを拡張する必要がある。

アセンブリとパッケージング技術は、パフォーマンス、パワー、接合温度とパッケージ形状の領域における強い要望に同時に応えるために、開発が進められている。関連する電気的、熱的、機械的な側面をカバーする先進的なモデリング・ツールが、これらの技術の開発と最適化をサポートするためには必要である。

とりわけ重要なのは、これらの効果がもはや別々に取り扱うことが出来ず、順に、また、同時にシミュレーションされなければならないことである。モデリング・シミュレーションに含まれるプロセスや材料や効果に関する要求は配線の章から挙げられたものにやや近いが、鍵となる追加要求は、チップとパッケージの共同設計における大いなる複雑さと構成要素の相対的配置を管理する必要性である。高いクロック周波数と高集積を取り扱うことができるように、これはメモリと CPU の効率の良い階層的なシミュレーション能力が必要とされる。また、時間領域あるいは周波数領域における計算負荷削減技術は、計算効率が高いフルウェーブ・シミュレーションツールと同様に必要とされている。空気の流れ、加速試験における応力予測、界面での破損作用のための微細モデル、振動と機械的衝撃を含むパッケージの動的作用のためのマクロ構造モデル、これらを含めて、今まで使われてきた熱・機械的モデルは、実際の材料データに基づかなければならない。金属/ポリマーやポリマー/ポリマーの材料界面や、プロセス開発や信頼性推定のための intermetallics は極めて重要であろう。薄膜化したチップ、low- κ や他の新しい材料や積層チップのような新しいパッケージタイプや他の3次元回路も考慮されなければならない。モデルは、adhesive/undercell フローあるいは BGA 再処理の製造工程やアセンブリ工程を考慮する必要がある。信頼性を予測するシミュレーション方法は、開発過程を加速するために必要である。パッケージングの観点から、設計とプロセスの耐性は、とりわけバックエンド配線に対して、考慮されなければならない。また、現在、計算時間が時折、数日かかるので、パッケージングのシミュレーションに対して、より高速なシミュレーション能力が必要である。

単体パッケージの SiP 中にある複数の能動素子や受動素子を組み合わせている新しいパッケージ・アーキ

テクチャは増殖しており、ますます、モデリングとシミュレーションが必要になっている。完全な SiP の熱的、機械的、電気的特性をシミュレーションする能力無しでは、それらの構造は、コストと信頼性の要求を満たすことはできない。

アセンブリとパッケージングのモデリングとシミュレーションにおいて、入手可能な能力の最善ではない組み合わせか、あるいは、これらの能力の革新的な拡張が近々に必要であると予想されている。より長期的には、より完全な系でのアプローチが提供されることが望ましい。

環境・安全・健康との関連

モデリング・シミュレーションもまた、ESH 問題への対応が要求される。シミュレーションは、コストや(部分的には ESH に関連する)資源を節約できるのに、プロセス開発や最適化期間に必要なウエハ枚数の削減へのシミュレーションの影響力は十分でない。さらに、シミュレーションはまた、ウエハ上に堆積する膜厚を薄くする事によって、あるいは、CMP により材料を取り去る事によって、あるいは、デバイスや IC の性能や信頼性の要求値を成し遂げるのに本当に必要な部分への洗浄工程によって、製造の間の重要な化学物質を含む資源の削減に寄与しなければならない。それには、適切なモデルやシミュレーション・ツールが利用されるだけでなく、他の章でも要求されたように、資源保護はシミュレーションに対する追加目標値として導入されなければならない。

ESH 問題の最適化に対し、それぞれの関連プロセスにおける基本の化学反応は可能な限り理解しなければならない。新しい測定法や評価法は開発段階では ESH に対して最も影響が小さいプロセスに対して実施しなければならない。同様に、これらの測定方法の有用性と反応に関する知識は、これらのプロセスに対して予測可能なモデルを開発するのに鍵となる要求項目である。これに関しては、モデリングとシミュレーションの章で扱われる。多くの可能な測定技術は、ESH と、モデリングとシミュレーションの間で共有する事ができる。しかしながら、2つの領域の最終の目標は異なる。ESH では危険な種の発生と材料消費の査定であるのに対し、モデリングとシミュレーションでは、積層の幾何学やドーピングや形態学になる。そのうえ、装置シミュレーション・プログラム、とりわけプラズマ工程に対するそのようなモデルの実装はまた、危険な種の発生に対する定量的なデータを得る事への可能性を ESH に提供する。それは、工程装置からの解放あるいはこれらの種の発生を最小限にするプロセス条件や装置条件の最適化の場合にも当てはまる。さらに、シミュレーションは、しばしば(スペクトルのような)測定データを、(たとえば、ガス組成上の)定量データに変換する特殊技術に寄与できる。計測とのクロスカットを見てください。このように、ESH と、モデリングとシミュレーションは、互いをよく支援する可能性を持っている。

モデリング・シミュレーションと歩留まり向上との関連

開発期間や開発費を削減するという通常の利用方法以外に、歩留まり向上とモデリング・シミュレーションとの関連は2つある。第一に、モデリング・シミュレーションはIC上の欠陥が与える影響に関するアセスメントに貢献できる。判りやすい例として、特定寸法・種類・位置のマスク欠陥が光リソグラフィ工程とその後のエッチング工程で転写されるか否かという問題がある。この問題は最新の光リソグラフィ・シミュレーション・ツールを使えば十分に解明でき、欠陥の大きさがどの程度のサイズになると、たとえば分離されるべき配線がつながってしまうなどの原因により素子やICを破壊してしまうことになるかという問題についても用いることが出来るだろう。特に、パターンニング工程に対する欠陥の下限を調べる事に対してシミュレーションが非常に優れた見通しを提供していくために、シミュレーション・ツールはさらに開発され続ける。リソグラフィ以降のデバイスやICの製造工程での欠陥の伝搬や相互干渉は、その影響をモニタし最小化するために様々なモデリング・シミュレーションのツールをもちいて調べることが出来るだろう。このように、モデリング・シミュレーションは、多くの場合に、どのような種類の欠陥が、工程のどのような場合に主要な影響を及ぼすか、また、その場合にどれくらいのサイズの欠陥が問題になるか、といった問題に対して最良の回答を提供するものであって欲しい。

もう一つの重要な問題は、ほとんど不可避なプロセスゆらぎがデバイスや IC の性能に及ぼす影響に関する評価である。製造ラインの多くのパラメータ、たとえばアニール温度、温度の変化の様子、または設定値からの経時変化などは、その中心値の周辺にある許容範囲で分布している。高度なプロセス制御(APC : Advanced Process Control)では装置をモニタした値をフィードバックに使うレシピで指定された状態に装置を戻す事でこうしたばらつきの影響を抑制する。制御に使うモデルの大部分は、成熟した工程だけしか利用できず、また取得するのに費用が掛かるシリコン関係のデータに基づいている。プロセス・デバイスシミュレータを繋げて使えばより精密な APC モデルを短期間で開発するのを支援できる。プロセスインテグレーションの段階で、キャリブレーションされたプロセス・デバイスシミュレータを使えば、プロセスの移管や製造ラインの短期立ち上げに利用できる APC モデルを開発することが出来る。

プロセスばらつきの問題に関連した二番目の方法は、プロセス・デバイスシミュレーションを使って、そうした製造条件のばらつきやプロセスステップにおける真性ばらつき(例えば、LER や他の CD の変化など)や不純物ゆらぎによって引き起こされる重要な製造工程におけるパラメータの広がりを計算することである。この方法を使って、統計的な実測データを得る前に統計的な SPICE モデルを構築することが出来、特定製品や特定製造技術に対して歩留まり最適化や検証に貢献する。歩留まり向上のために最も重要な効果として、2005 年にすでに LER が加えられており、その影響についてもプロセスシミュレーション(特に、リソグラフィ・シミュレーション)によって十分に評価されている。更に、プロセスばらつきと欠陥とはしばしば密接に関連している。

例えば、後の工程で断線してしまう場合のように素子や IC に対して不連続な特性変化を及ぼすような線幅の変動などの場合でも、変化は少しずつ連続的に発生するであろう。そのような場合には、実際に不規則に発生しているように見える欠陥でも、光学的なリソグラフィの焦点深度の制限のようなシステムティックな機構によって引き起こされている現象であることもある。シミュレーションはこの様な現象を検知し定量化することに用いることが出来るであろう。

明らかに、歩留まり向上に貢献するためには、十分な一般性及び精度及び使用されるシミュレーション・ツールを迅速に適用することがモデリング・シミュレーションに要求される。そして、この様な要求こそが、モデリング・シミュレーションに対する将来的な開発要求である。

モデリング・シミュレーションと計測との関連

計測とモデリング・シミュレーションは双方向で強い結びつきがある。半導体素子だけでなくプロセス、製造装置に関する物理モデルの開発で鍵となる事柄は、形状や積層構造の化学組成、ドーパント分布、点欠陥、応力分布、キャリアの濃度、キャリアのライフタイムや移動度などを、高い空間分解能と感度で測定できる技術や手法の利用可能性と、モデルの開発や評価を可能とするために必要な検出限界の引き下げにある。本格的な3次元的な構造について十分な情報が得られる測定技術が必要とされ、多くの場合それは特殊な目的のために作られたテスト構造に対してではなく、実際の構造に対して適用できなくてはならない。さらにやっかいなことに、要求される測定やモデルの精度は個々のドーパント原子間の寸法に近づき、それを下回りつつある。このような場合には測定結果の解釈は疑わしくなり、シミュレーションとしては偏微分方程式に基づく流体的なモデルから原子論的な描像に移り変わらねばならない。

モデリング・シミュレーション技術から計測技術への要求事項は、明らかに計測技術の開発推進に寄与する。しかしシミュレーションは要求の提起だけではなく、計測技術自体の開発に貢献すべきだし、貢献可能である。半導体や他の材料の内部で生じる事を物理的に理解する事は、計測で得たデータの解釈やデータを定量的な情報に翻訳したり、現実的な誤差の推定、さらにはカスタム化した測定手法の開発をする際に、非常に大きな価値がある。一般的に、計測技術は「測定できることと見られることをつなぐためにモデリングを使う」ことの必要性を繰り返し確認してきた。そして、計測技術章で述べられている関連した課題は様々である。計測技術章を参照。例えば、シミュレーションはプロセスパラメータの変動や原子サイズのゆらぎを、測定量の幅と結び付ける際に利用でき、こうして測定結果を正しく解釈する手助けとなる。測定される変数の変化、測定の変動と再

現性に影響する測定手法の誤差の大きさを定量化して下さい。他の幾つかの例として、シミュレーションを利用したマスク計測、scatterometry, そして APC に計測技術を利用する例がある。しばしば、膜やデバイスは測定時間を短くするために、標準の動作条件と全く異なる温度や電圧で測定の際にストレスを掛ける。また、メカニカルストレスの場合には特別なテスト構造が使われるが測定される量に変化する。そのような場合にも、測定自身で多少変化した量から関心のある量に換算するために、信頼性モデリング・ツールが必要とされる。従来は物理メカニズムについて不十分な知識と、適切なシミュレーションのサポート不足が測定結果を価値の無いものにしていった。

モデリング担当のグループは、モデル開発に必要なデータを提供するために必要な測定技術の開発やそのカスタム化に、しばしば直接貢献する。たとえば、ゲートエッチング工程や誘電体のエッチングに使われる混合ガスなどの新材料や新プロセスの種類が増加するにつれ、工程での生成物分析の信頼できる手法が必要とされている。材料表面からの放出物やガス相中の物質は、大部分の場合には未知の物質であったり、特定の装置や工程以外では合成する事ができない。潜在的な環境へのリスクとなる物質を同定する技術として浮上した技術に数値計算によるスペクトル生成(computational spectra generation)がある。物質特有の標準スペクトルは計算化学を使えば比較的容易に求めることが出来る。たとえば、FTIR(Fourier-Transform Infrared Spectroscopy)スペクトルはルテニウムのエッチング工程で現れる RuOx 系ラジカルを同定する為に利用されている。そして高度にポリマー化した誘電体材料用のエッチングガス中に有害ガスが生成されない事を保証するための調査に利用された。いずれの場合も実験で標準スペクトルを生成したり、それを得ることは困難である。

さらに、利用可能な測定手法(たとえば2次元的な素子断面の計測技術)を用いてシミュレーションのモデルやツールを検証する事が、多くの場合に可能である。そして測定技術で直接扱える適用範囲を超えて(たとえば3次元での不純物分布測定)利用することが出来る。その訳は、この例の場合では物理としては同じで、それらの違いはシミュレータ中のアルゴリズムだけで扱える(偏微分方程式を2次元でなく3次元で解く)。つまり、計測とモデリング・シミュレーションは一層緊密に協力を続け、さらなる努力をすれば、互いに最も進歩する事が出来る。計測技術の章にリンクして下さい。